

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-92953

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/14	Z	9471-5G		
	C	9471-5G		
5/18		9471-5G		
5/36	5 2 0 N	9471-5G		
		7734-5C		
			H 0 4 N 5/ 93	C
			審査請求 未請求	請求項の数 8 F D (全 36 頁) 最終頁に続く

(21) 出願番号 特願平5-264251
 (22) 出願日 平成5年(1993)9月27日

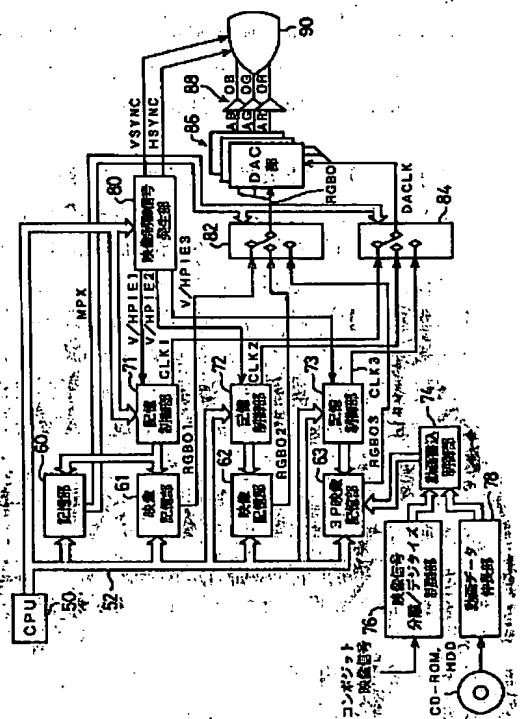
(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72) 発明者 竹内 啓佐敏
 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
 (74) 代理人 弁理士 下出 隆史 (外1名)

(54) 【発明の名称】 映像表示装置

(57) 【要約】

【目的】 複数のビデオメモリ間で映像データを転送することなく、各ビデオメモリに記憶された映像データに従って複数の映像を1つの画面に重ねて表示する。

【構成】 3つの記憶制御部71~73は、3つの映像記憶部61~63からそれぞれ読出される3つの映像信号RGB01~03に同期するクロック信号CLK1~3を出力する。映像信号切換部82は3つの映像信号の1つを選択し、クロック信号切換部84は3つのクロック信号の1つを選択する。D-A変換部86は、選択された映像信号を選択されたクロック信号でD-A変換する。映像制御信号発生部80は、映像信号の読出許可信号HP1E1~3, VP1E1~3を3つの記憶制御部71~73にそれぞれ供給して、各映像信号を1画面内で切り替える。この結果、3つの映像記憶部61~63から読出された映像信号で表わされる映像が1つの画面内に重ねて表示される。



(2)

【特許請求の範囲】

【請求項1】 1つの表示画面に複数の映像を重ねて表示する映像表示装置であって、

複数の映像信号をそれぞれ記憶する複数の映像メモリと、

前記複数の映像メモリから複数の映像信号をそれぞれ読み出すタイミングを示す複数の読出許可信号を生成する映像制御信号発生手段と、

前記複数の読出許可信号にそれぞれ応じて、前記複数の映像信号を読み出すための複数の読出制御信号を前記複数の映像メモリにそれぞれ与えるとともに、前記複数の映像メモリから読み出された前記複数の映像信号にそれぞれ同期する複数のクロック信号を生成するメモリ制御手段と、

前記複数の映像信号の1つを、前記表示部の画面内の所定の複数の位置において切換えつつ選択するための映像選択信号を生成する選択信号生成手段と、

前記選択信号生成部から与えられた映像選択信号に応じて前記複数の映像信号の1つと前記複数のクロック信号の1つとを選択する選択手段と、

前記選択手段で選択された映像信号とクロック信号とに従って映像を表示する表示手段と、を備える映像表示装置。

【請求項2】 請求項1記載の映像表示装置であって、前記選択信号生成手段は、

前記表示手段の画面上の所定の領域内に含まれる複数の画素のそれぞれに対応する所定のビット数のメモリ領域を有し、前記複数の画素のそれぞれについて前記複数の映像信号のいずれを選択するかを表わす映像選択データを記憶するメモリと、

前記メモリから前記映像選択データを前記映像選択信号として読出すための選択データ読出制御信号を、前記メモリに供給する制御信号供給手段と、を含む映像表示装置。

【請求項3】 請求項2記載の映像表示装置であって、前記制御信号供給手段は、前記複数の読出制御信号のうちの1つを前記選択データ読出制御信号として前記メモリに転送する転送路である、映像表示装置。

【請求項4】 請求項1記載の映像表示装置であって、前記表示手段は、前記選択手段で選択されたクロック信号に従って前記選択手段で選択されたデジタル映像信号をアナログ映像信号に変換するD-A変換器を含む、映像表示装置。

【請求項5】 請求項1記載の映像表示装置であって、前記映像制御信号発生手段は、前記表示手段の画面上の1本の走査線の走査期間に相当する第1の周期を有する第1の信号を生成する手段を含み、

前記メモリ制御手段は、

前記映像制御信号発生手段から与えられた前記第1の信

2

号に基づいて前記第1の周期の N_1 倍 (N_1 は整数)の周期を有する第1のクロック信号を生成する第1のPLL回路と、

前記複数の映像メモリの1つである第1の映像メモリの水平アドレスを生成する水平アドレス生成手段と、

前記第1の映像メモリの垂直アドレスを生成する垂直アドレス生成手段と、

前記水平アドレスと前記垂直アドレスとを加算することによって、前記第1の映像メモリに与えられるアドレスを生成する加算器と、を含むとともに、

前記水平アドレス生成手段は、前記第1のクロック信号のパルスに応じて前記水平アドレスを増加させる水平アドレス更新手段を含む、映像表示装置。

【請求項6】 請求項6記載の映像表示装置であって、さらに、

算術論理演算が可能なプロセッサと、前記プロセッサと前記複数の映像メモリとを接続するとともに、前記プロセッサと前記メモリ制御部とを接続するバスとを備え、

前記プロセッサは、前記第1のPLL回路における前記整数 N_1 の値を変更することによって、前記第1の映像メモリから読出される第1の映像信号によって前記表示手段に表示される第1の映像を水平方向に変倍する、映像表示装置。

【請求項7】 請求項6記載の映像表示装置であって、前記映像制御信号発生手段は、

前記表示手段の1画面分の走査期間に相当する第2の周期を有する第2の信号を生成する手段を含み、

前記第1のメモリ制御手段は、さらに、

前記映像制御信号発生手段から与えられた前記第1の信号に基づいて、前記第1の映像メモリから読出される第1の映像信号に関する走査線の終端に相当するタイミングを示す第1の走査線更新信号を生成する手段と、

前記第1および第2の信号のいずれか一方に基づいて、前記第2の周期の N_2 倍 (N_2 は整数)の周期を有する第2の走査線更新信号を生成する第2のPLL回路とを含み、

前記水平アドレス生成手段は、前記第1の走査線更新信号の1パルスに応じて前記水平アドレスを所定の初期値にリセットする手段を含み、

前記垂直アドレス生成手段は、前記第1の走査線更新信号の1パルスに応じて、前記第1の走査線更新信号の最新の2つのパルスの間に与えられた前記第2の走査線更新信号のパルス数と、前記表示手段における所定の数の走査線に相当するアドレスの差分とを乗算した結果に相当する垂直アドレス増分を、前記垂直アドレスに加算することによって前記垂直アドレスを更新する垂直アドレス更新手段を含む、映像表示装置。

【請求項8】 請求項7記載の映像表示装置であって、前記プロセッサは、前記第2のPLL回路における前記

(3)

整数N2の値を変更することによって、前記第1の映像メモリから読出される第1の映像信号によって前記表示手段に表示される第1の映像を垂直方向に変倍する、映像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、複数の映像メモリに記憶された映像信号に基づいて複数の映像を同一の画面に表示する映像表示装置に関する。

【0002】

【従来の技術】図3.4は、従来の映像表示装置における映像の表示動作を示す説明図である。近年のパーソナルコンピュータでは、複数のOS（オペレーティング・システム）が稼働する場合がある。図3.4（A）は、第1のOSであるMS-WINDOWS（マイクロソフト社の商標）のウィンドウの中に、第2のOSであるMS-DOS（マイクロソフト社の商標）による画面を表示した状態を示している。図3.4（B）、（C）はこの場合の2つのOSのアドレス空間を示している。

【0003】

【発明が解決しようとする課題】従来は、第1のOSによるウィンドウの1つに第2のOSの画面を表示するために、図3.4（B）、（C）に矢印で示すように、第2のOSにおける表示用のビデオメモリ（VRAM）から第1のOSにおける表示用のビデオメモリ（AVRAM）に映像データを転送する必要があった。映像データの転送はCPUが行なうので、CPUの処理時間のほとんどが第2のOSによる画面を表示する処理に使用されてしまい、CPUによる他の処理が極めて遅くなってしまふという問題があった。このような問題は、複数の表示用ビデオメモリを映像表示装置に設けた場合に共通する問題であった。

【0004】この発明は、従来技術における上述の課題を解決するためになされたものであり、複数のビデオメモリ間で映像データを転送することなく、各ビデオメモリに記憶された映像データに従って複数の映像を1つの画面に重ねて表示することのできる映像処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段および作用】上述の課題を解決するため、この発明の映像表示装置は、複数の映像信号をそれぞれ記憶する複数の映像メモリと、前記複数の映像メモリから複数の映像信号をそれぞれ読み出すタイミングを示す複数の読出許可信号を生成する映像制御信号発生手段と、前記複数の読出許可信号にそれぞれ応じて、前記複数の映像信号を読み出すための複数の読出制御信号を前記複数の映像メモリにそれぞれ与えるとともに、前記複数の映像メモリから読み出された前記複数の映像信号にそれぞれ同期する複数のクロック信号を生成するメモリ制御手段と、前記複数の映像信号の1つ

を、前記表示部の画面内の所定の複数の位置において切換えつつ選択するための映像選択信号を生成する選択信号生成手段と、前記選択信号生成部から与えられた映像選択信号に応じて前記複数の映像信号の1つと前記複数のクロック信号の1つとを選択する選択手段と、前記選択手段で選択された映像信号とクロック信号とに従って映像を表示する表示手段とを備える。

【0006】選択手段によって、複数の映像信号を選択するとともに、選択された映像信号に対応するクロック信号を選択して表示手段に供給するので、複数の映像メモリ間で映像データを転送することなく、複数の映像メモリにそれぞれ記憶された映像データに従って複数の映像を1つの画面に重ねて表示することができる。

【0007】前記選択信号生成手段は、前記表示手段の画面上の所定の領域内に含まれる複数の画素のそれぞれに対応する所定のビット数のメモリ領域を有し、前記複数の画素のそれぞれについて前記複数の映像信号のいずれを選択するかを表わす映像選択データを記憶するメモリと、前記メモリから前記映像選択データを前記映像選択信号として読出するための選択データ読出制御信号を、前記メモリに供給する制御信号供給手段と、を含むようにすることが好ましい。

【0008】こうすれば、メモリに予め記憶した映像選択データを映像選択信号として読出するので、映像選択信号を容易に生成することができる。

【0009】前記制御信号供給手段は、前記複数の読出制御信号のうちの1つを前記映像選択データ読出制御信号として前記メモリに転送する転送路であってもよい。

【0010】選択データ読出制御信号はメモリ制御手段で生成されるので、選択データ読出制御信号を生成するための専用の回路が不要になり、回路構成が簡単になる。

【0011】前記表示手段は、前記選択手段で選択されたクロック信号に従って前記選択手段で選択されたデジタル映像信号をアナログ映像信号に変換するD-A変換器を含むようにしてもよい。

【0012】こうすれば、各映像信号にそれぞれ適したクロック信号でD-A変換を行なうので、映像を良好な画質で表示できる。

【0013】前記映像制御信号発生手段は、前記表示手段の画面上の1本の走査線の走査期間に相当する第1の周期を有する第1の信号を生成する手段を含むようにしてもよい。また、前記メモリ制御手段は、前記映像制御信号発生手段から与えられた前記第1の信号に基づいて前記第1の周期のN1倍（N1は整数）の周期を有する第1のクロック信号を生成する第1のPLL回路と、前記複数の映像メモリの1つである第1の映像メモリの水平アドレスを生成する水平アドレス生成手段と、前記第1の映像メモリの垂直アドレスを生成する垂直アドレス生成手段と、前記水平アドレスと前記垂直アドレスとを

(4)

5

加算することによって、前記第1の映像メモリに与えられるアドレスを生成する加算器と、を含むとともに、前記水平アドレス生成手段は、前記第1のクロック信号のパルスに応じて前記水平アドレスを増加させる水平アドレス更新手段を含むようにしてもよい。

【0014】第1のPLL回路に設定される整数N1の値を変更すれば、映像を水平方向に変倍することができる。

【0015】映像表示装置は、さらに、算術論理演算が可能なプロセッサと、前記プロセッサと前記複数の映像メモリとを接続するとともに、前記プロセッサと前記メモリ制御部とを接続するバスとを備え、前記プロセッサは、前記第1のPLL回路における前記整数N1の値を変更することによって、前記第1の映像メモリから読出される第1の映像信号によって前記表示手段に表示される第1の映像を水平方向に変倍するようにすることが好ましい。

【0016】こうすれば、プロセッサによって整数N1の設定を変更することによって映像を水平方向に変倍することができる。

【0017】前記映像制御信号発生手段は、前記表示手段の1画面分の走査期間に相当する第2の周期を有する第2の信号を生成する手段を含むようにしてもよい。また、前記第1のメモリ制御手段は、さらに、前記映像制御信号発生手段から与えられた前記第1の信号に基づいて、前記第1の映像メモリから読出される第1の映像信号に関する走査線の終端に相当するタイミングを示す第1の走査線更新信号を生成する手段と、前記第1および第2の信号のいずれか一方に基づいて、前記第2の周期のN2倍（N2は整数）の周期を有する第2の走査線更新信号を生成する第2のPLL回路とを含み、前記水平アドレス生成手段は、前記第1の走査線更新信号の1パルスに応じて前記水平アドレスを所定の初期値にリセットする手段を含み、前記垂直アドレス生成手段は、前記第1の走査線更新信号の1パルスに応じて、前記第1の走査線更新信号の最新の2つのパルスの間に与えられた前記第2の走査線更新信号のパルス数と、前記表示手段における所定の数の走査線に相当するアドレスの差分とを乗算した結果に相当する垂直アドレス増分を、前記垂直アドレスに加算することによって前記垂直アドレスを更新する垂直アドレス更新手段を含むようにしてもよい。

【0018】第2のPLL回路に設定される整数N2の値を変更すれば、映像を垂直方向に変倍することができる。

【0019】前記プロセッサは、前記第2のPLL回路における前記整数N2の値を変更することによって、前記第1の映像メモリから読出される第1の映像信号によって、前記表示手段に表示される第1の映像を垂直方向に変倍するようにしてもよい。

6

【0020】こうすれば、プロセッサによって整数N2の設定を変更することによって映像を垂直方向に変倍することができる。

【0021】

【実施例】以下では、次の順序を説明を行なう。

- A. 装置の全体構成と動作；
- B. 映像制御信号発生部の構成と動作；
- C. 記憶制御部と映像記憶部の構成と動作；
- D. 映像の拡大縮小時の各種の設定値；
- E. 動画書込制御部の構成と動作；
- F. 3ポート映像記憶部の構成と動作；
- G. 変形例；

【0022】A. 装置の全体構成と動作：図1は、この発明の一実施例としての映像表示装置を備えるコンピュータシステムの構成を示すブロック図である。CPU50に接続されたCPUバス52には、記憶部60と、映像記憶部61、62と、3ポート映像記憶部63とが接続されている。3つの映像記憶部61、62、63には、映像信号をシリアルに読出すための制御信号が記憶制御部71、72、73からそれぞれ与えられる。第1の記憶制御部71は、更に、第1の映像記憶部61に与える制御信号と同じ制御信号を記憶部60にも供給している。この記憶部60は、3つの映像記憶部61～63から読み出された映像信号の1つを選択するためのマルチプレクス信号MPXを記憶するためのメモリである。なお、4つの記憶部60～63の構成と役割についてはさらに後述する。

【0023】3ポート映像記憶部63の読出ポートは第3の記憶制御部73に接続されており、また、第1の書込みポートはCPUバス52に、第2の書込みポートは動画書込制御部74にそれぞれ接続されている。動画書込制御部74は、映像信号分離/デジタイズ制御部76と動画データ伸長部78からそれぞれ動画の映像データが与えられる。映像信号分離/デジタイズ制御部76は、テレビチューナやビデオプレーヤから与えられるコンポジット映像信号を同期信号とコンポーネント信号（RGB信号またはYUV信号）とに分離するとともに、コンポーネント信号をデジタル信号に変換して動画書込制御部74に供給する。一方、動画データ伸長部78は、CD-ROMやハードディスク、光磁気ディスクなどに収納された圧縮画像データを伸長して動画書込制御部74に供給する。動画書込制御部74は、供給された動画の映像データを3ポート映像記憶部63に書込む。なお、動画書込制御部74の内部構成と動作については、さらに後述する。

【0024】このコンピュータシステムは、さらに、映像制御信号発生部80と、映像信号切換部82と、クロック信号切換部84と、D-A変換部86と、増幅部88と、カラーモニタ90とを備えている。映像制御信号発生部80は、映像信号の読出しのタイミングを指示す

(5):

7

るための映像制御信号VPIE1~3, HPIE1~3を生成して、3つの記憶制御部71~73に供給する。映像信号切換部82は、3つの映像記憶部61~63から読み出された映像信号RGB01~03の1つの選択してD-A変換部86に供給する。また、クロック信号切換部84は、3つの記憶制御部71~73から出力されるクロック信号CLK1~3の1つを選択し、D-A変換の同期信号としてD-A変換部86に供給する。映像信号切換部82とクロック信号切換部84に与えられるマルチプレクス信号MPXは、記憶部60から与えられている。

【0025】D-A変換部86は、RGBの各色ごとに8ビットが割り当てられた24ビットのデジタル信号RGB0をアナログ信号AR, AG, ABに変換する。これらのアナログ信号AR, AG, ABは、増幅部88においてそれぞれ増幅されてカラーモニタ90に与えられる。なお、カラーモニタ90の垂直同期信号VSYNCと水平同期信号HSYNCは映像制御信号発生部80から与えられる。

【0026】図2は、4つの記憶部60~63のメモリ空間と画面表示との関係を示す説明図である。各記憶部のサイズは、垂直方向のライン数 W_v と、水平方向の画素数 W_h と、各画素に割り当てられたビット数 N_b とで定義できる。記憶部60は、1600画素×1200ラインの画面に対応しており、2ビットの深さを有している。記憶部60に記憶されるマルチプレクスデータは、マルチプレクス信号MPXとして映像信号切換部82とクロック信号切換部84とに与えられる。従って、記憶部60の深さは、このコンピュータシステムに搭載できる映像記憶部の最大の個数を互いに識別できるビット数に設定される。図1の例では、映像記憶部が3つ設けられているので、記憶部60は2ビットの深さでよい。

【0027】図2(B)に示すように、第1の映像記憶部61は1600画素×1200ラインの画面に対応しており、24ビットの深さを有している。映像記憶部61に記憶される映像データは、フルカラー自然画像データである。なお、映像記憶部61としては、8ビットの深さのメモリを3枚用いてもよい。

【0028】記憶部60と第1の映像記憶部61とは、同じ大きさの画面に対応する互いに等しいメモリ空間を有している。記憶制御部71(図1)は、記憶部60と映像記憶部61に同じ読み出し信号を供給しており、記憶部60と映像記憶部61からは、同じ表示位置に相当するマルチプレクス信号MPXと映像信号RGB01とがそれぞれ読み出される。

【0029】第2の映像記憶部62は、640画素×400ラインの画面に対応しており、24ビットの深さを有している。また、3ポート映像記憶部63は、800画素×600ラインの画面に対応しており、24ビットの深さを有している。なお、3つの映像記憶部61~6

8

3は同じ大きさの画面に対応していてもよい。記憶制御部71~73のそれぞれは、映像制御信号発生部80から与えられる読出許可信号VPIE1~3, HPIE1~3に応じて映像記憶部61~63から映像信号RGB01~3をそれぞれ読み出す。

【0030】図3(A)は、3つの映像記憶部を利用する3つのOSに関するアドレスマップを示す説明図である。3つの映像記憶部はそれぞれ異なる3つのOS(マルチOS, OS1, OS2)によって管理されている。マルチOSは、システムの管理を一時的に他のOSに切替える機能を有している。また、各OSは、映像記憶部61~63のメモリ領域をそれぞれ有している。図3(A)の①~④は、OSの切替えの手順を示している。まず、マルチOSからOS1への切替えを要する指示がキーボード40またはマウス42から入力されると、BIOSからマルチOSにその指示が与えられ(手順①)、マルチOSはシステムの管理をOS1に切替える(手順②)。OS1は、指示された処理を実行し、処理が終了すると再びマルチOSにシステムの管理を切替える(手順③)。そして、各映像記憶部61~63に記憶された映像は、BIOSを介してカラーモニタ90に表示される(手順④)。

【0031】図3(B)は、各映像記憶部61~63の映像がカラーモニタ90に表示された状態を示す平面図である。なお、複数のOSを使用せずに、1つのOSで2つの映像記憶部を管理することも可能である。例えば、3つの映像記憶部61~63を同じOSが管理することも可能である。

【0032】図4は、映像制御信号発生部80から出力される読出許可信号VPIE1~3, HPIE1~3とカラーモニタ90における画面表示との関係を示す説明図である。図4の左上には、3つの映像記憶部61~61からそれぞれ読み出された3つの映像信号RGB01~RGB03に応じてカラーモニタ90に表示された3つの映像の表示領域 $W01, W02, W03$ を示している。

【0033】図4の下部には、X1-X2線上における信号波形が示されており、水平同期信号HSYNCと、映像制御信号発生部80から3つの記憶制御部71~73にそれぞれ与えられる水平読出許可信号HPIE1~3と、記憶部60から読み出されるマルチプレクス信号の水平成分HMPXの波形が示されている。一方、図4の右側には、Y1-Y2線上における信号波形が示されており、垂直同期信号VSYNCと、映像制御信号発生部80から3つの記憶制御部71~73にそれぞれ与えられる垂直読出許可信号VPIE1~3と、記憶部60から読み出されるマルチプレクス信号の垂直成分VMPXの波形が示されている。

【0034】第1の映像記憶部61に与えられる水平読出許可信号HPIE1は、カラーモニタ90の左端位置

(6)

9

A～右端位置Fまでの表示領域においてHレベルに保たれている。また、垂直読出許可信号VPIE1も画面の垂直方向の全領域においてHレベルに保たれており。この結果、第1の映像信号RGB01は、これらの読出許可信号HP1E1, VPIE1がいずれもHレベルである期間において、第1の映像記憶部61から読み出される。同様に、第2の映像信号RGB02は、読出許可信号HP1E2, VPIE2がいずれもHレベルである期間において第2の映像記憶部62から読み出され、第3の映像信号RGB03は、読出許可信号HP1E3, VPIE3がいずれもHレベルである期間において、第3の映像記憶部63から読み出される。

【0035】映像信号切換部82は、記憶部60から出力されるマルチプレクス信号MPXに応じて、3つの映像信号RGB01～3の1つを選択して出力する。マルチプレクス信号MPXは、第1の映像信号RGB01と同様に、カラーモニタ90の走査に従って各画素におけるマルチプレクスデータの値を示す信号であるが、図4では図示の便宜上、水平成分HMPXの変化と垂直成分VMPXの変化とに分離して描いている。言い換えれば、実際のマルチプレクス信号MPXは、水平成分HMPXと同様な信号が走査線の順に連続している信号である。

【0036】図4のX1-X2線上において、マルチプレクス信号MPXの水平成分HMPXの値は1, 2, 3, 1の順に変化しており、これに応じて映像信号RGB01, RGB02, RGB03, RGB01がそれぞれ選択されている。

【0037】なお、記憶部60に記憶されるマルチプレクスデータは、カラーモニタ90の画面上において指定された各映像領域のサイズや位置等に応じてCPU50が決定する。すなわち、オペレータがキーボードやマウスを用いて、第2と第3の表示領域W02, W03のサイズと位置と上下関係とを指定すると、この指定に応じてCPU50がマルチプレクスデータを生成し、記憶部60に書き込む。なお、第1の表示領域W01に表示される映像は、基本的な映像であり、この表示領域W01は所定の大きさに固定されている。

【0038】図2(B), (C), (D)に示すような異なるサイズの映像を表示する際には、それぞれに適した互いに異なる同期信号(水平同期信号および垂直同期信号)が用いられるのが普通である。従って、各映像記憶部61～63から読み出された映像信号を重ねて同一画面上に表示するのは通常は不可能である。そこで、このコンピュータシステムでは、図1に示すように、各映像記憶部61～63から読み出される映像信号にそれぞれ同期するクロック信号CLK1, CLK2, CLK3を記憶制御部71, 72, 73からクロック信号切換部84に与え、クロック信号切換部84は、記憶部60から読み出されたマルチプレクス信号MPXに応じてこれ

10

らのクロック信号の1つを選択してD-A変換部86に供給している。従って、D-A変換部86は、映像信号切換部82から出力される映像信号に同期したクロック信号に従ってD-A変換を実行できる。このように、各映像記憶部61～63から読み出された映像信号は、それぞれに同期したクロック信号CLK1, CLK2, CLK3によってD-A変換されるので、D-A変換部86から出力されるアナログ映像信号AR, AG, ABは、映像を忠実に再現する信号となる。

【0039】以上のように、このコンピュータシステムでは、3つの映像記憶部61～63から読み出された映像信号RGB01～3の1つを映像信号切換部82で切換えながら映像を表示するので、CPU50が映像記憶部61～63の間で映像データを転送する処理を行なう必要がなく、複数の映像を重ねた状態で高速に表示することができる。この際、各映像信号に対応したクロック信号に従ってD-A変換を行なうので、異なる画面サイズに対応した複数の映像を忠実に再現することができる。

【0040】また、記憶部60と映像記憶部61のメモリ空間が同じ画面サイズに対応しているので、カラーモニタ90の画面上における各映像領域W01～3のサイズと位置と上下関係の指定に応じて、記憶部60に記憶するマルチプレクスデータを容易に設定できるという利点がある。

【0041】なお、3つの映像記憶部61～63を管理するOSがマルチウィンドウシステムである場合には、各映像領域W01, W02, W03内にそれぞれのOSが複数のウィンドウを重ねて表示することが可能である。

【0042】B: 映像制御信号発生部の構成と動作: 図5は、映像制御信号発生部80の内部構成を示すブロック図である。また、図6は映像制御信号発生部80の水平方向の動作を示すタイミングチャート、図7は垂直方向の動作を示すタイミングチャートである。図5に示すように、映像制御信号発生部80は、カラーモニタ90に供給する水平同期信号HSYNCおよび垂直同期信号VSYNCと、3つの記憶制御部71～73にそれぞれ供給する水平読出許可信号HP1Eおよび垂直読出許可信号VPIEとを生成する。映像制御信号発生部80は、次の構成要素を備えている。

【0043】DPLL部100: 映像制御信号発生部80内の各部を同期させるためのドットクロック信号DTCLKを生成する。

【0044】水平同期期間カウンタ111: ドットクロック信号DTCLKに基づいて、図6(a)に示すように、水平同期期間HSにおいてLレベルとなる信号H1を生成する。ここで、水平同期期間HSとは、水平同期信号HSYNCがLレベルに保たれる期間である。なお、図5から解るように、カウンタ111の出力信号H

(7)

11

1はそのまま水平同期信号HSYNCとして映像制御信号発生部80の外部に出力されている。言い換えれば、カウンタ111は、水平同期信号HSYNCを作成する回路である。信号H1がLレベルとなる期間の長さを示すデータは、CPUバス52を介してCPU50から水平同期期間カウンタ111内の図示しないレジスタに書き込まれる。なお、期間の長さは、ドットクロック信号DTCLKのパルス数で表現される。期間の長さがCPU50によって設定されることは、以下に説明する各カウンタに共通である。信号H1が一旦Hレベルに立ち上がると、後述する水平リセットカウンタ115から与えられるリセット信号H5によって水平同期期間カウンタ111がリセットされるまでHレベルに保たれる。

【0045】水平バックポーチ期間カウンタ112：リセット信号H5でリセットされてLレベルに立下り、水平バックポーチ期間HBの終期でHレベルに立ち上がる信号H2(図6(b))を生成する。ここで、水平バックポーチ期間HBとは、水平同期信号HSYNCの立上りから映像有効期間HEの始期までの期間である。

【0046】水平映像有効期間カウンタ113：リセット信号H5でリセットされてLレベルに立下り、水平映像有効期間HEの終期でHレベルに立ち上がる信号H3(図6(c))を生成する。

【0047】ところで、図5に示すように、ANDゲート116には信号H2と信号H3の反転信号とが入力されている。ANDゲート116の出力信号HYENBは、図6(h)に示すように、水平映像有効期間HEにおいてHレベルとなる信号である。以下では、信号HYENBを「水平有効イネーブル信号」とよぶ。カラーモニタ90には、水平有効イネーブル信号HYENBがHレベルの期間においてのみ有効な映像を表示することが可能である。なお、水平映像有効期間HEは、基本となる第1の映像領域W01に相当する期間であり、図4に示す映像領域W01の全範囲(位置A~位置Fの範囲)に相当する期間である。

【0048】水平フロントポーチ期間カウンタ114：リセット信号H5に応じてLレベルに立下り、水平フロントポーチ期間HFの終期でHレベルに立ち上がる信号H4(図6(d))を生成する。ここで、水平フロントポーチ期間HFとは、水平映像有効期間HEの終期から水平リセット期間HR(ドットクロック信号DTCLKの1クロック分の期間)の始期までの期間である。

【0049】水平リセット期間カウンタ115：上記のカウンタ111~114をリセットするリセット信号H5(図6(e))を生成する。信号H5は、水平フロントポーチ期間カウンタ114の出力信号H4が立ち上がった後の次のドットクロック信号DTCLKの立上りでLレベルに立下り、1クロック後に再び立上る信号である。上述したように、カウンタ111~114は、信号H5の立下りによってリセットされて、信号H1~H4

12

がLレベルに立ち下がる。

【0050】以上のように、カウンタ111~115の働きによって水平同期信号HSYNCが生成されるとともに、水平方向の各期間が規定される。

【0051】映像制御信号発生部80は、垂直方向の期間を規定するカウンタとして、上述した各カウンタ111~115にそれぞれ対応するカウンタ121~125を有している。垂直方向の期間を規定するカウンタ121~125は、ドットクロック信号DTCLKの代わりに水平同期信号HSYNC(=H1)をクロック入力としていること以外は、水平方向の期間を規定するカウンタ111~115と同じである。これは、図7(a)~(e)に示すカウンタ121~125の出力信号V1~V5の波形を図6(a)~(e)に示す信号H1~H5の波形とを比較すれば理解できる。ただし、CPU50が水平方向のカウンタ111~114のそれぞれに設定する期間の長さと、垂直方向のカウンタ121~124のそれぞれに設定する期間の長さとは異なっている。

【0052】また、水平有効イネーブル信号HYENBを作成するANDゲート116に対応して、垂直有効イネーブル信号VYENB(図7(h))を作成するANDゲート126も設けられている。

【0053】映像制御信号発生部80は、さらに、3つの記憶制御部71~73に与える読出許可信号HPIE、VPIEをそれぞれ作成するための3つの許可信号生成回路131~133を備えている。許可信号生成回路131~133のそれぞれは、次の構成要素を備えている。

【0054】水平表示開始期間カウンタ134：水平有効イネーブル信号HYENB(図6(h))の立上りでリセットが解除されて、水平表示領域期間の始期にHレベルに立ち上がる信号H6(図6(i))を生成し、水平有効イネーブル信号HYENBの立下りで再びリセットされる。ここで、水平表示領域期間とは、映像記憶部に記憶された映像データに応じて映像がカラーモニタ90に表示される期間を言う。図4において、映像領域W01の水平表示領域期間は位置A~位置Fの期間であり、また、映像領域W02の水平表示領域期間は位置B~位置Dの期間、映像領域W03の水平表示領域期間は位置C~位置Eの期間である。

【0055】水平表示領域期間カウンタ135：水平有効イネーブル信号HYENBの立上りでリセットが解除されて、水平表示領域期間の終期にHレベルに立ち上がる信号H7(図6(j))を生成し、水平有効イネーブル信号HYENBの立下りで再びリセットされる。

【0056】ANDゲート136：信号H6と信号H7の反転信号との論理積をとることによって水平読出許可信号HPIE(図6(k))を生成する。

【0057】許可信号生成回路131~133は、さらに、垂直方向に関して、水平方向に関する上述の2つの

(8)

13

カウンタ134、135とANDゲート136にそれぞれ対応する2つのカウンタ137、138とANDゲート139を備えている。ANDゲート139からは、垂直読出許可信号VPIE(図7(k))が出力される。なお、水平方向に関するカウンタ134、135はドットクロック信号DTCLKをクロック入力とし、水平有効イネーブル信号HYENBをリセット入力としているのに対して、垂直方向に関するカウンタ137、138は、水平同期信号HSYNC(=H1)をクロック入力とし、垂直有効イネーブル信号VYENBをリセット入力としている。

【0058】映像制御信号発生部80は、映像記憶部61~63の数と等しい数の許可信号生成回路131~133を備えている。すなわち、各映像記憶部61~63にそれぞれ対応する許可信号生成回路131~133によって、図4に示す各読出許可信号の組(HPIE1, VPIE1), (HPIE2, VPIE2), (HPIE3, VPIE3)がそれぞれ生成される。

【0059】なお、許可信号生成回路131~133内のカウンタ134、135、137、138には、CPU50によってそれぞれの期間に規定するパルス数が設定されている。これらのパルス数は、カラーモニタ90の画面上においてオペレータが指定した各映像領域W01~W03(図4)のサイズと位置と上下関係に応じてCPU50が決定する。

【0060】以上説明したように、映像制御信号発生部80は、図4に示す水平同期信号HSYNCと、垂直同期信号VSYNCと、読出許可信号HPIE1~3と、VPIE1~3とを生成する。図1に示すように、水平同期信号HSYNCと垂直同期信号VSYNCはカラーモニタ90に供給され、許可信号HPIE1~3, VPIE1~3は記憶制御部71~73に供給される。

【0061】C. 記憶制御部と映像記憶部の構成と動作:ここでは、記憶制御部71、72と映像記憶部61、62の構成と動作について説明する。3ポート記憶制御部73と3ポート映像記憶部63の構成と動作については後述する。

【0062】図8は、記憶制御部71の内部構成を示すブロック図である。また、図9は、記憶制御部71の動作を示すタイミングチャートである。記憶制御部71は、H-PLL部141と、V-PLL部142と、3つの波形整形部143~145と、NANDゲート146と、インバータ147と、アドレス生成回路148とを備えている。

【0063】H-PLL部141は、水平読出許可信号HPIEの周波数の N_h 倍の周波数を有するクロック信号CLK(図9(h))を生成するPLL回路である。ここで、 N_h は、水平読出許可信号HPIEの1周期に相当する画素数である。この画素数 N_h は、図2

(B), (C), (D)に示す映像記憶部61~63の

14

水平方向の画素数 W_h とは異なる値に設定することができる。CPU50がH-PLL部141の N_h の値を変更することにより、 N_h と W_h の関係に応じて映像を水平方向に拡大したり縮小したりすることができる。このような映像の拡大・縮小機能についてはさらに後述する。なお、H-PLL部141では、水平読出許可信号HPIEの立上りエッジに同期してクロック信号CLKの位相をロックする。

【0064】V-PLL部142は、垂直読出許可信号VPIEの周波数の N_v 倍の周波数を有する信号VCLK(図9(b))を生成するPLL回路である。ここで、 N_v は垂直読出許可信号VPIEの1周期に相当するライン数である。このライン数 N_v も、図2(B), (C), (D)に示す映像記憶部61~63のライン数 W_v とは異なる値に設定することができ、 N_v と W_v の関係に応じて映像を垂直方向に拡大・縮小することができる。

【0065】図10は、波形整形部143、144、145の内部構成を示すブロック図である。各波形整形部は、2つのDフリップフロップ151、152と、ANDゲート153とで構成されている。2つのDフリップフロップ151、152のクロック入力端子には、H-PLL部141で生成されたクロック信号CLKが入力されている。波形整形部への入力信号は、第1のDフリップフロップ151のD入力端子に与えられている。第1のDフリップフロップ151の出力は、第2のDフリップフロップ152のD入力端子およびANDゲート153に与えられている。ANDゲート153には、さらに、第2のフリップフロップ152の反転出力が与えられている。

【0066】図11は、波形整形部の動作を示すタイミングチャートである。図8に示す3つの波形整形部143~145の入力信号は、それぞれVPIE, HPIE, /VCLKである。ここで、VCLKの前に付けた記号「/」は、信号VCLKがインバータ147で反転された信号であることを示している。図11から解るように、波形整形部143、144、145への入力信号VPIE, /VCLK, HPIEが立上ってから1番目のクロック信号CLKの立下りでそれぞれの出力信号VCLR, INC, HCLRがHレベルに立上り、2番目の立下りエッジで出力信号がLレベルに立下る。

【0067】図8に示すように、3つの波形整形部143~145のクロック入力端子には、H-PLL部141で生成されたクロック信号CLKが共通に与えられている。第1の波形整形部143で生成される垂直リセット信号VCLRは、映像領域の1画面分の表示が終了するたびに1パルスの変化が発生する信号である。

【0068】第2の波形整形部144で生成される水平リセット信号HCLRは、走査線1本分の表示が終了するたびに1パルスの変化が発生する信号である。

(B), (C), (D)に示す映像記憶部61~63の

(9)

15

【0069】第3の波形整形部145で生成される垂直インクリメント信号INCは、走査線1本分の映像データの読出しが終了するたびに1パルスの変化が発生する信号である。なお、水平リセット信号HCLRと垂直インクリメント信号INCは、映像の垂直方向の拡大・縮小を行なう際に重要な役割を有するが、これについては後述する。

【0070】NANDゲート146(図8)は、第2の波形整形部144の第1のDフリップフロップ151の出力Q151(図10)と、垂直許可信号VPIEとの論理積をとってリードイネーブル信号REを生成する。

【0071】なお、第1の記憶制御部61の出力信号VCLR、HCLR、INC、RE、CLKは、映像記憶部61と記憶部60とに共通に与えられる。

【0072】図1に示す3つの記憶制御部71~73は、それぞれ図8に示す同じ構成を有している。ただし、HPLL部141に設定される画素数Nhの値と、VPLL部142に設定されるライン数Nvの値とは、各記憶制御部によって互いに異なる。これについては、映像の拡大縮小処理の説明において詳述する。

【0073】図12は、2つの映像記憶部61の内部構成を示すブロック図である。映像記憶部61は、ランダム読出/書込制御部160と、シリアル読出制御部161と、メモリ162とを有している。この構成は記憶部60、62も同様である。

【0074】ランダム読出/書込制御部160の入力は次の通りである。

ADBUS: CPUバス52のアドレス/データ共有バス。

AHLRW: アドレスの上位/下位の選択、および、データ読出/データ書込の選択を示す信号。

AEN: アドレスバスが有効であることを示す信号。

DEN: データバスが有効であることを示す信号。

【0075】ランダム読出/書込制御部160の出力は次の通りである。

RADDRS: ランダムアドレス。

RDATA: ランダムデータ。

RWR: ランダム書込信号。

RRD: ランダム読出信号。

【0076】シリアル読出制御部161の入出力は次の通りである。

ADBUS: アドレスバス。

ADSEL: 4つのアドレスの1つを選択するアドレス選択信号。

AEN: アドレスバスADBUSが有効であることを示すアドレス有効信号。

VCLR: 映像領域の1回分の表示が終了するたびに1パルスの変化が発生する垂直リセット信号。

INC: 走査線1本分の映像データの読出しが終了するたびに1パルスの変化が発生する垂直インクリメント信

16

号。

HCLR: 走査線1本分の表示が終了するたびに1パルスの変化が発生する水平リセット信号。

CLK: クロック信号。

RE: リードイネーブル信号。

SADDRS: シリアルアドレス。

SRD: シリアル読出許可信号

【0077】図13は、図12に示すメモリ162の内部構成を示すブロック図である。メモリ162は、メモリセルアレイ165と、セクタ166と、2つの3ステートバッファ部167、168とを備えている。セクタ166は、ランダム書込信号RWRに応じて、ランダムアドレスRADDRSとシリアルアドレスSADDRSの一方を、メモリセルアレイ165のアドレス入力端子に接続する。メモリセルアレイ165の出力端子からは、第1の3ステートバッファ部167を介してランダムデータRDATAが出力される。第1の3ステートバッファ部167の制御端子にはランダム読出信号RRDが与えられている。メモリセルアレイ165の出力は、さらに、第2の3ステートバッファ部168から映像信号RGB01として出力され、映像信号切換部82(図1)に与えられている。第2の3ステートバッファ部168の制御入力端子にはシリアル読出制御部161から与えられるシリアルデータ読出許可信号SRDが与えられている。なお、動画を高速に表示するためには、スタティックRAMで構成されたメモリセルアレイ165を用いるのが好ましい。

【0078】図14は、図12に示すシリアル読出制御部161の内部構成を示すブロック図である。また、図15はシリアル読出制御部161の動作を示すタイミングチャートである。シリアル読出制御部161は、それぞれ8ビットの4つのアドレスレジスタ171~174と、デコーダ176とを備えている。デコーダ176は、2ビットのアドレス選択信号ADSELをデコードして4つのアドレスレジスタ171~174を1つずつ順次にイネーブル状態にする(図15(b))。アドレスバスADBUSから与えられたアドレスAH、AL、BH、BL(図15(a))は、アドレスレジスタ171~174に与えられるアドレス有効信号AENの上立ちエッジで各レジスタに順次保持される。

【0079】図16は、メモリに対応する画面とアドレスとの関係を示す概念図である。アドレスAHALは、映像データによって表示される領域の左上の基準点Riを示すアドレス(以下、「始点アドレス」と呼ぶ)である。また、アドレスBHBLは、画面の走査線の長さに対応するアドレスの増加分(以下、「加算アドレス」と呼ぶ)である。なお、インターレースを行なう場合には、加算アドレスBHBLは、インターレースの割合に応じた値となる。例えば、2:1のインターレースを行なう場合には、加算アドレスBHBLは走査線の2倍の長さに対応

(10)

17

当するアドレス増加分となる。

【0080】シリアル読出制御部161(図14)は、さらに、走査に応じてアドレスを演算する回路として、3つの加算器180、182、184と、2つのラッチ186、188と、水平カウンタ190とを備えており、また、4つのANDゲート192、194、196、198を備えている。これらのうちで、加算器180、184と、ラッチ186、188は、垂直方向のアドレスを算出する回路を構成している。また、水平カウンタ190は水平方向のアドレスを算出する回路を構成している。

【0081】加算器184は、2つのアドレスレジスタ173、174に保持された16ビットの加算アドレスBHBLと、第1のラッチ186の出力D186とを加算する。第1のラッチ186は、第1のANDゲート192の出力信号の立上りエッジでリセットされ、また、第2のANDゲート194の出力信号の立上りエッジで加算器184の出力Q184を保持する。第1のANDゲート192は、垂直リセット信号VCLRとクロック信号CLKの論理積を取っているので、図15(j)に示すように、垂直リセット信号VCLRがHレベルに保たれている期間に発生するクロック信号CLKの立上りエッジで第1のラッチ186がリセットされる。また、第2のANDゲート194は、垂直インクリメント信号INCとクロック信号CLKの論理積を取っているので、垂直インクリメント信号INCがHレベルに保たれている期間に発生するクロック信号CLKの立上りエッジで第1のラッチ186が加算器184の出力Q184を保持する。

【0082】第1のラッチ186の出力Q186は、加算器184にフィードバックされているので、第1のラッチ186が新たなデータを保持するたびに、すなわち、垂直インクリメント信号INCのパルスが発生するたびに、加算器184の出力Q184が加算アドレスBHBLだけ増加する(図15(i))。

【0083】第2のラッチ188は、第1のANDゲート192の出力信号の立上りエッジでリセットされ、また、第3のANDゲート196の出力信号の立上りエッジで第1のラッチ186の出力Q186を保持する。第3のANDゲート196は、水平リセット信号HCLRとクロック信号CLKの論理積を取っているので、図15(k)に示すように、水平リセット信号HCLRがHレベルに保たれている期間に発生するクロック信号CLKの立上りエッジで第2のラッチ188が第1のラッチ186の出力Q186を保持する。

【0084】第1の加算器180は、第2のラッチ188の出力Q188と、2つのアドレスレジスタ171、172に保持された始点アドレスAHALとを加算する。第1の加算器180の出力Q180は、垂直方向のアドレスに相当する。

18

【0085】水平カウンタ190は、第3のANDゲート196の出力信号の立上りエッジでリセットされ、また、第4のANDゲート198の出力信号の立上りエッジでカウントアップを実行する。第4のANDゲート198は、リードイネーブル信号REの反転信号とクロック信号CLKの論理積を取っているので、図15(1)に示すように、リードイネーブル信号REがHレベルに保たれている期間に発生するクロック信号CLKの立上りエッジに応じて、水平カウンタ190がカウントアップを実行する。なお、水平カウンタ190のカウント値Q190は、水平方向のアドレスに相当する。

【0086】第2の加算器182は、第1の加算器180の出力Q180と、水平カウンタ190のカウント値とを加算する。加算器182の出力Q182は、始点アドレスAHALと、ラッチ188の出力Q188(図15(k))と、水平カウンタ190のカウント値Q190(図15(1))とを加算した結果に等しい。この加算器182の出力182は、シリアルアドレスSADDRSとしてメモリ162に与えられる。シリアルアドレスSADDRSは、図15(m)に示すように、始点アドレスAHALと加算アドレスBHBLとの和の値になった後に、クロック信号CLKの立上りエッジに同期して1つずつインクリメントされる。従って、このシリアルアドレスSADDRSに応じてメモリ162からRGB成分を含む映像データRGB01がシリアルに読み出される。

【0087】シリアル読出制御部161(図14)はさらに、Dフリップフロップ199を備えている。Dフリップフロップ199のD入力端子にはリードイネーブル信号REが与えられており、クロック入力端子にはクロック信号CLKが与えられている。Dフリップフロップ199の出力は、シリアルデータ読出許可信号SRD(図15(o))である。シリアルデータ読出許可信号SRDは、リードイネーブル信号REがLレベルに立下った後の次のクロック信号CLKの立下りでLレベルに立下る。図13に示すように、シリアルデータ読出許可信号SRDは、3ステートバッファ168の制御端子に与えられているので、信号SRDがLレベルに立下った状態においてのみメモリ162から映像データRGB01が読出される。すなわち、図15(m)、(n)に示すように、アドレスSADDRSの値は(AHAL+BHBL)で示される位置(図16(A)に示すアドレス基準点Piの直下の画素位置)を示しており、この位置から映像データの読出しが開始される。従って、アドレス基準点Piの画像は表示されない。

【0088】なお、クロック信号CLKはH-PLL部141(図8)によって作成されており、水平読出許可信号HP1Eの立上りエッジでクロック信号CLKの立下りエッジの位相がロックされている(図9)。一般に、PLL回路による位相のロックは完全ではないの

(11)

19

で、クロック信号CLKの位相には多少のズレ（ジッタ）が生じる場合がある。しかし、図15に示すように、クロック信号CLKの立上りエッジで映像データのシリアルな読出しが制御されているので、クロック信号CLKにジッタが生じてもデータの読み出しに問題が生じることはない。

【0089】図17は、映像の垂直方向拡大時のシリアル読出制御部161の動作を示すタイミングチャートである。ただし、図17では、図15に示す信号のうち、垂直方向のアドレスの更新に関する主要な信号の変化のみを示している。加算器184の出力Q184は、垂直インクリメント信号INCが1パルス発生するたびにBHBLだけ増加する。一方、ラッチ186の出力Q186は、水平リセット信号HCLRが1パルス発生するたびにBHBLだけ増加する。時刻t1では、水平リセット信号HCLRの最新の2パルスの間に垂直インクリメント信号INCのパルスが発生していないので、ラッチ188の出力Q188の値はそのまま保たれている。このように、垂直インクリメント信号INCの周期 T_v が水平リセット信号HCLRの周期 T_{v0} よりも大きな場合には、ラッチ188の出力Q188（すなわち垂直アドレスの値）は、図17（f）に示すように、同じ値が繰り返される場合を含むように変化する。水平リセット信号HCLRは、カラーモニタ90に与える水平同期信号HSYNCと同じ周波数を有する信号であり、画面上の走査線が更新されるたびに1パルス発生する信号である。図17（f）に示すようにラッチ188の出力Q188が変化すると、図16（B）に示すように、メモリに記憶された同じ走査線上の映像が、カラーモニタ90の画面において繰り返し表示され、この結果、映像が垂直方向に拡大される。

【0090】なお、映像がカラーモニタ90に表示される際の垂直方向の倍率は、水平リセット信号HCLRの周期 T_{v0} と垂直インクリメント信号INCの周期 T_v との比（ T_v / T_{v0} ）で与えられる。垂直インクリメント信号INCの周期 T_v は、V-PLL部142（図8）の設定値 N_v を変更することによって調整される。

【0091】図18は、映像の垂直方向縮小時のシリアル読出制御部161の動作を示すタイミングチャートである。時刻t2では、水平リセット信号HCLRの最新の2パルスの間に垂直インクリメント信号INCのパルスが2つ発生しているので、ラッチ188の出力Q188に加算アドレスBHBLの2倍の値が加算されている。このように、垂直インクリメント信号INCの周期 T_v が水平リセット信号HCLRの周期 T_{v0} よりも小さな場合には、ラッチ188の出力Q188は、図18（f）のように、加算アドレスBHBLに整数倍の値のいくつか（図18の例ではBHBL×4）をスキップするように変化する。この結果、図16（C）に示すように、メモリに記憶された何本かの走査線上の映像が、カラーモニタ

20

90の画面において表示されず、映像が垂直方向に縮小される。

【0092】図17と図18に示すように、シリアル読出制御部161は、水平リセット信号HCLRが1パルス与えられると、水平リセット信号HCLRの最新の2つのパルスの間に与えられた垂直インクリメント信号INCのパルス数と、加算アドレスBHBLとを乗算した結果に相当する値が、ラッチ188の出力Q188（すなわち垂直アドレス）に加算される。従って、図17の時刻t1の場合のように、水平リセット信号HCLRの最新の2パルスの間に垂直インクリメント信号INCのパルスが1つも発生していない場合には、垂直アドレスQ188はそのままの値に保たれる。一方、図18の時刻t2のように、水平リセット信号HCLRの最新の2パルスの間に垂直インクリメント信号INCのパルスが2つ発生している場合には、加算アドレスBHBLの2倍の値が垂直アドレスQ188に加算される。

【0093】なお、映像を垂直方向に縮小する場合の倍率も、拡大する場合の倍率と同様に、水平リセット信号HCLRの周期 T_{v0} と垂直インクリメント信号INCの周期 T_v との比（ T_v / T_{v0} ）で与えられる。

【0094】D. 映像の拡大縮小時の各種の設定値：このコンピュータシステムでは、映像を拡大・縮小できるほかに、各映像領域W01～W03（図4）の位置やサイズを変更することが可能である。なお、映像の拡大・縮小は記憶制御部71～73（図1、図8）のH-PLL部141とV-PLL部142およびシリアル読出制御部161（図14）の働きによって実現され、映像領域の位置やサイズの変更は各映像領域に対応する許可信号生成回路131～133（図5）の働きによって実現される。

【0095】図19は、第1の映像記憶部61に記憶された映像のみを表示した場合の記憶制御部71（図8）と許可信号生成回路（図5）の各種の設定値を示す説明図である。

【0096】図19（A）において、映像領域W01に関する信号の水平方向の期間は、図6においても説明したように、水平同期期間HSと、水平バックポーチ期間HBと、水平映像有効期間HEと、水平フロントポーチ期間HFと、水平リセット期間HRとに区分されている。第1の記憶制御部71のH-PLL部141（図8）の設定値 N_{h0} は、これらの期間を画素数で表わした値の合計値（ $HS + HB + HE + HF + HR$ ）に等しい。なお、第1の映像領域W01の水平映像有効期間HEは1600画素である。H-PLL部141で作成されるクロック信号CLKの1パルスは、図15のタイミングチャートからも解るように、シリアルに映像信号を読み出す際の1画素に相当する。このクロック信号CLKの周波数 f_{h0} は、基本の映像領域W01に対する水平読出許可信号H-PEIE1の周波数、すなわち、映像制御

(12)

21

信号発生部80からカラーモニタ90に与えられる水平同期信号HSYNCの周波数に、H-PLL部141の設定値Nh0を乗じた値に等しい。この実施例では、 $f_{h0} = 100\text{MHz}$ である。

【0097】第1の記憶制御部71のV-PLL部142の設定値Nv0は、垂直同期期間VSと、垂直バックボーン期間VBと、垂直映像有効期間VEと、垂直フロントボーン期間VFと、垂直リセット期間VRとをそれぞれライン数で表わした値の合計値 ($VS + VB + VE + VF + VR$) に等しい。なお、第1の映像領域W01の垂直映像有効期間VEは1200ラインである。V-PLL部142で生成される垂直インクリメント信号INCの周波数fv0は、基本の映像領域W01の垂直読出許可信号VPIE1の周波数、すなわち、映像制御信号発生部80からカラーモニタ90に与えられる垂直同期信号VSYNCの周波数に、V-PLL部142の設定値Nv0を乗じた値に等しい。この実施例では、 $f_{v0} = 80\text{KHz}$ である。

【0098】第1の許可信号生成回路131 (図5)に含まれる4つのカウンタ134, 135, 137, 138の設定値は、第1の映像領域W01の位置とサイズを規定するために使用される。水平表示開始期間カウンタ134の設定値Kh1と、垂直表示開始期間カウンタ137の設定値Kv1の値は、基本となる第1の映像領域W01に関してはゼロである。

【0099】水平表示領域期間カウンタ135の設定値Kh2は、水平映像有効期間HEをドットクロック信号DTCLK (図5) のパルス数で表わした値である。ドットクロック信号DTCLKの周波数は、基本となる第1の映像領域W01に対する水平方向のクロック信号CLK1 (図8、図15) と同じ周波数 ($= 100\text{MHz}$) に設定されることが好ましい。ドットクロック信号DTCLKの周波数とクロック信号CLK1の周波数が等しい場合には、カウンタ135の設定値Kh2は水平映像有効期間HEの画素数 ($= 1600$) に等しい。

【0100】垂直表示領域期間カウンタ138の設定値Kv2は、垂直映像有効期間VEを水平同期信号HSYNCのパルス数で表わした値である。前述したように、水平同期信号HSYNCの周波数は、基本の映像領域W01に対する垂直インクリメント信号INC1 (図8、図15) と同じ周波数 ($= 80\text{KHz}$) を有しているので、カウンタ138の設定値Kv2は垂直映像有効期間VEのライン数 ($= 1200$) に等しい。

【0101】図20は、第1の映像領域W01の中に第2の映像記憶部61に記憶された映像を表示した場合の各種の設定値を示す説明図である。この例では、第2の映像記憶部62に記憶された映像が拡大・縮小されおらず、また、その画面の全部が表示されている。

【0102】なお、第1の映像記憶部61の映像についても、映像の拡大・縮小や、映像領域の位置およびサイ

22

ズの変更を行なうことが可能であるが、この実施例においては、第1の映像記憶部61の映像についてはこれらの処理を行なわないものとする。従って、第1の映像記憶部61の映像に対する各種の設定値は、図19に示す値が保たれる。

【0103】第2の映像記憶部62の映像については、CPU50が以下の数式1に従って各種の設定値を算出するとともに、算出した値を各回路に設定する。

【数1】

$$N_h = \text{INT} (N_{h0}/M_h)$$

$$f_h = f_{h0}/M_h$$

$$N_v = \text{INT} (N_{v0}/M_v)$$

$$f_v = f_{v0}/M_v$$

$$K_{h1} = \Delta HST$$

$$K_{h2} = L_h$$

$$K_{v1} = \Delta VST$$

$$K_{v2} = L_v$$

ここで、演算子「INT」は括弧内の演算結果の小数部を切り捨てて整数部をとる演算を示す。また、 M_h は映像の水平方向の倍率、 M_v は映像の垂直方向の倍率、 ΔHST と ΔVST は基本となる映像領域W01の有効映像領域の左上にある原点O1から第2の映像領域W02の左上の端点O2までの水平方向と垂直方向のオフセット、 L_h と L_v は第2の映像領域W02の水平方向と垂直方向の幅をそれぞれ示す。

【0104】第2の映像記憶部62の映像に関して映像の拡大・縮小がない場合には、倍率 M_h , M_v の値が共に1なので、第2の記憶制御部72のH-PLL部141における設定値 N_h とV-PLL部142における設定値 N_v は第1の記憶制御部71におけるこれらの設定値と等しい。図20の例では、第2の映像領域W02の画面の全部を表示しているため、第2の許可信号生成回路132における水平表示領域期間カウンタ135の設定値 K_{h2} と、垂直表示領域期間カウンタ138の設定値 K_{v2} は、第2の映像領域W02の最大領域を示す640画素と400ラインにそれぞれ設定されている。

【0105】図21は、第2の映像記憶部62の映像を拡大・縮小せずに、その画面の一部のみを表示する場合の各種の設定値を示す説明図である。画面の一部のみを表示する場合には、その画面の水平方向の幅 L_h と垂直方向の幅 L_v とがカウンタ135, 138にそれぞれ設定され、図21(B)に示す他の設定値は標準の値のままである。なお、図21の例ではさらに、始点アドレスAHALが $(640 \times 5 + 10)$ に設定されている。640は1走査線分の画素数であり、図16(A)に示す加算アドレスBHBLに相当する。従って、図21における始点アドレスAHALの値は、アドレス基準点Pi (図16(A))を5ライン目の10画素目に設定している

(13)

23

ことを示している。アドレス基準点P_iは、映像メモリから映像データを読み出す際の基準点である。従って、始点アドレスAHALの値を変更することによって、映像メモリ内の任意の領域に記憶された映像データを読み出すことが可能である。

【0106】図22は、第2の映像記憶部62の映像を水平方向に拡大して、その画面の全部を表示する場合における各種の設定値を示す説明図である。この場合には、記憶制御部72のH-PLL部141の設定値N_hは、その標準値N_{h0}を水平倍率M_hで割った値に設定される。また、許可信号生成回路132の水平表示領域期間カウンタ135の設定値K_{h2}は、その標準値(=640)に水平倍率M_h(960/640)を乗じた値(=960)に設定される。

【0107】なお、水平倍率M_hの値はキーボードを用いて入力することができる。あるいは、マウスを用いて第2の映像領域W02のサイズをオペレータが変更する操作に応じてCPU50が水平倍率M_hを算出しても良い。後者の場合には、第2の映像領域W02の水平方向の幅L_hを標準の幅(第2の映像については640画素)で割ることによって水平倍率M_hを求める。

【0108】水平方向の倍率M_hを変更すると第2の記憶制御部72の水平方向のクロック信号CLK2の周波数f_hが変化する。クロック信号CLK2の1パルスは第2の映像領域W02の1画素に相当するので、水平倍率M_hを変更すると1画素に相当するクロック信号CLK2の周期が変化する。このクロック信号CLK2は、図15に示されるように、映像記憶部61からの映像信号の読出しの同期クロックとして使用され、また、D-A変換部86の同期クロック信号DACLKとしても使用される。すなわち、水平方向に映像を拡大した場合には、映像記憶部62から読出された映像信号の周波数に応じてクロック信号CLK2の周波数も変化するので、このクロック信号CLK2に同期して映像信号をD-A変換することによって、良好な画質で映像を表示することができる。

【0109】なお、水平倍率M_hとしては1以下の値を設定することによって、映像を水平方向に縮小することも可能である。水平方向に関しては拡大時の動作と縮小時の動作に差異は無い。

【0110】図23は、第2の映像領域W02内の映像が垂直方向に拡大されて、その画面の全部が表示されている場合における各種の設定値を示す説明図である。第2の記憶制御部72のV-PLL部142の設定値N_vは、その標準値N_{v0}を垂直倍率M_v(=600/400)で割った値に設定される。また、第2の許可信号生成回路132の垂直表示領域期間カウンタ138の設定値K_{v2}は、その標準値(=400)に垂直倍率M_vを乗じた値(=600)に設定される。なお、垂直倍率M_vも、上述した水平倍率M_hの設定方法と同様な方法で設

24

定される。映像が垂直方向に拡大される場合には、上記の図17のタイミングチャートに従ってシリアル読出制御部161が拡大動作を行なう。

【0111】図24は、第2の映像領域W02の映像が垂直方向に縮小されて、その画面の全部が表示されている場合における各種の設定値を示す説明図である。垂直方向の縮小の場合も拡大の場合と同様に、V-PLL部142の設定値N_vは、その標準値N_{v0}を垂直倍率M_v(=286/400)で割った値に設定される。また、垂直表示領域期間カウンタ138の設定値K_{v2}は、その標準値(=400)に垂直倍率M_vを乗じた値(=286)に設定される。映像が垂直方向に縮小される場合には、上記の図18のタイミングチャートに従ってシリアル読出制御部161が縮小動作を行なう。

【0112】以上説明したように、H-PLL部141とV-PLL部142(図8)およびシリアル読出制御部161(図14)の働きによって映像の拡大・縮小が実現され、許可信号生成回路131~133(図5)の働きによって映像領域の位置やサイズの変更は実現される。

【0113】なお、以上では、第2の映像記憶部62の映像に関する映像の拡大・縮小の処理や、第2の映像領域W02のサイズの変更の処理を説明したが、他の2つの映像記憶部61、63の映像についても同じ処理を行なうことが可能である。また、映像の水平倍率M_hと、映像の垂直倍率M_vと、映像領域のオフセットΔHST、ΔVSTと、映像領域のサイズL_h、L_v(すなわちK_{h2}、K_{v2})と、始点アドレスAHALとは、それぞれ独立に設定することが可能である。

【0114】E. 動画書込制御部の構成と動作：図25は、動画書込制御部74の内部構成を示すブロック図である。動画書込制御部74の信号および構成要素は、以下に示すように、図5に示す映像制御信号発生部80のいくつかの構成要素と図8に示す記憶制御部71の構成要素に対応している。

【0115】図25と図5の構成要素の対応関係は、以下の通りである。

DRH-PLL部200 : DPLL部100
 垂直映像開始位置カウンタ201 : 垂直バックポーチ期間カウンタ122
 垂直映像領域期間カウンタ202 : 垂直映像有効期間カウンタ123
 ANDゲート203 : ANDゲート126
 水平映像開始位置カウンタ211 : 水平バックポーチ期間カウンタ112
 水平映像領域期間カウンタ212 : 水平映像有効期間カウンタ113
 ANDゲート213 : ANDゲート116
 垂直書込開始カウンタ222 : 垂直表示開始期間カウンタ137

(14)

25

垂直書込領域カウンタ223：垂直表示領域期間カウンタ138

ANDゲート224：ANDゲート139

水平書込開始カウンタ232：水平表示開始期間カウンタ134

水平書込領域カウンタ233：水平表示領域期間カウンタ135

ANDゲート224：ANDゲート136

【0116】図25と図8の構成要素の対応関係は、以下の通りである。

DV-PLL部221：V-PLL部142

DH-PLL部231：H-PLL部141

波形整形部241～243：波形整形部143～145

NANDゲート244：NANDゲート146

インバータ251：インバータ147

【0117】図25の制御クロック切換部250は、図5および図8の回路には無い回路である。また、動画書込制御部74は、図8に示されているアドレス生成回路148と同じ回路を有しているが、図25では図示の便宜上省略されている。

【0118】動画書込制御部74は、映像信号分離/デジタイズ制御部76(図1)から与えられる垂直同期信号DVS SYNCと水平同期信号DHS SYNCとに同期して映像の表示期間を制御する。図26および図27は、動画書込制御部74の水平方向および垂直方向の動作をそれぞれ示すタイミングチャートである。図26と図27は、前述した図6と図7にそれぞれ対応しているもので、ここではその説明を省略する。

【0119】制御クロック切換部250は、ライトイネーブル信号WE0(これは、図8におけるリードイネーブル信号REに対応する)のレベルが1(書込禁止)の時にはDRH-PLL部200が生成する第1のクロック信号DRCLKを選択し、ライトイネーブル信号WE0のレベルが0(書込許可)の時にはDH-PLL部231が生成する第2のクロック信号DDCLKを選択する。第1のクロック信号DRCLKの1パルスは基本的な第1の映像領域W01の1画素に対応している。また、第2のクロック信号DDCLKの1パルスは、映像を水平方向に拡大・縮小した場合の1画素に対応しており、映像記憶部63に書込まれる映像信号に同期する信号である。すなわち、制御クロック切換部250は、映像信号を映像記憶部63に書込む時には書込まれる映像信号に同期した第2のクロック信号DDCLKを第3の映像記憶部63に供給し、一方、映像信号の書込みを行わない時には基本的な映像に同期した第1のクロック信号DRCLKを第3の映像記憶部63に供給している。

【0120】動画書込制御部74は、映像記憶部63へ映像信号の書込みに使用される各種の信号VCLW0、HCLW0、INC0、WE0、CKL0を生成し、映

26

像記憶部63に与えている。これらの信号は、図8における信号VCLR、HCLR、INC、RE、CLKにそれぞれ対応するので説明を省略する。

【0121】F. 3ポート映像記憶部の構成と動作：図28は、3ポート映像記憶部63の内部構成を示すブロック図である。3ポート映像記憶部63は、シリアル書込制御部260と、ランダム読出/書込制御部261と、シリアル読出制御部262と、3ポートメモリ263とを有している。ランダム読出/書込制御部261は図12に示すランダム読出/書込制御部160と同じ構成を有しており、また、シリアル読出制御部262はシリアル読出制御部161と同じ構成を有している。

【0122】図29は、3ポートメモリ263の内部構成を示すブロック図である。3ポートメモリ263は、メモリセルアレイ165と、2つのセクタ272、273と、ANDゲート274と、2つの3ステートバッファ部275、276とを備えている。第1のセクタ272は、図13に示すセクタ166と同じ機能を有しており、2つの3ステートバッファ275、276も図13の3ステートバッファ167、168と同じ機能を有している。

【0123】第2のセクタ273は、ランダム書込信号RWRに応じて、ランダムデータRDATAとシリアルデータRGB-I0の一方を選択してメモリセルアレイ271に供給する。ANDゲート274は、シリアル書込制御部260から与えられるシリアルデータ書込許可信号SWE0とランダム読出/書込制御部261から与えられるランダム書込信号RWRの少なくとも一方がLレベルの時にはメモリセルアレイ271の書込みをイネーブルにする。

【0124】図30は、シリアル書込制御部260の内部構成を示すブロック図である。シリアル書込制御部260の構成要素281～284、286、290、292、294、296、298、300、302、304、306、308は、図14に示すシリアル読出制御部161の各構成要素171～174、176、180、182、184、186、188、190、192、194、196、198とそれぞれ同じものである。シリアル読出制御部161とシリアル書込制御部260の違いは、シリアル読出制御部161ではDフリップフロップ199の出力がそのままシリアルデータ読出許可信号SRDとして出力されているのに対して、シリアル書込制御部260では、Dフリップフロップ309の反転出力がANDゲート308に与えられ、ANDゲート308の出力が書込許可信号SWE0として出力されている点だけである。

【0125】図31はシリアル書込制御部260の動作を示すタイミングチャートである。この動作は、図15に示すシリアル読出制御部161の動作とほぼ同じなので説明を省略する。シリアル書込制御部260は、映像

(15)

27

の垂直方向の縮小と、水平方向の拡大・縮小を行ないつつ、映像データを3ポートメモリ263の任意のメモリ領域に書き込むことが可能である。

【0126】G: 変形例: なお、この発明は上記実施例に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0127】(1) 図1に示す映像信号切換部82としてセレクタ(マルチプレクサ)を使用する代わりに、図32に示すように、3つの3ステートバッファを用いて映像信号切換部82aを構成してもよい。この場合には、マルチプレクス信号MPXをデコードした信号DMPXを用いて3つの3ステートバッファの1つだけをイネーブル状態にすればよい。

【0128】(2) 図8に示すV-PLL部142の代わりに、図33に示すように、PLL回路148と分周器149とを用いても良い。PLL回路148には、水平読出許可信号HP1Eが入力され、また、その設定値Nは、図8に示すV-PLL部142の設定値Nvに分周器149の分周率1/Mを乗じた値に等しい。ここで、Mは1画面の総ライン数である。PLL回路148に入力されている水平読出許可信号HP1Eは、図8に示すV-PLL部142に入力されている垂直読出許可信号VP1Eよりも周波数が高いので、その出力信号VCLKのジッタを低減することができる。

【0129】(3) 図22に示すように第2の映像記憶部62から読出される映像を水平方向に拡大・縮小する場合には、第2の記憶制御部72から出力されるクロック信号CLK2が、基本のクロック信号CLK1の周波数fh0とは異なる周波数fhを有する。これは、第3の映像記憶部63から出力されるクロック信号CLK3についても同様である。しかし、映像を水平方向に拡大・縮小しなければ、3つのクロック信号CLK1~CLK3は互いに等しい周波数を有している。従って、映像を水平方向に拡大・縮小する必要がなければ、第1のクロック信号CLK1を、第2と第3の映像記憶部62、63から読出された映像信号にも使用することができる。この場合には、図1の回路においてクロック信号切換部84を省略し、第1のクロック信号CLK1を直接D-A変換部86に供給するようにすればよい。

【0130】(4) 図1の例では、アナログ映像信号に従ってカラーモニタ90に映像を表示していたが、デジタル映像信号に従って映像を表示できる表示装置を用いることもできる。この場合には、D-A変換部86と増幅部88とを省略し、映像信号切換部82で選択されたデジタル映像信号RGB0とクロック信号切換部84で選択されたクロック信号DACLKをデジタル映像表示装置に直接供給すればよい。

【0131】(5) 本願発明におけるメモリ制御手段は、映像記憶部61~63にそれぞれ含まれるシリアル

28

読出制御部(図12、図28)と、3つの記憶制御部71~73(図8)との組み合わせによって実現されている。なお、映像記憶部61~63の読出制御部や書込制御部は、映像記憶部61~63を実現するメモリチップ内の回路として設けておいてもよく、また、記憶制御部71~73と同じ回路内に設けるようにしてもよい。

【0132】(6) 本願発明における選択信号出力手段は記憶部60によって実現されており、マルチプレクス信号MPX(図1)が本願発明における映像選択信号に相当する。しかし、マルチプレクス信号MPXを出力する手段としては、記憶部60以外の種々の回路を採用することも可能である。例えば、図4に示されている3つの映像領域W01~W03のそれぞれの4頂点の位置を記憶しておき、これらの頂点位置に基づいて各走査線ごとに切換位置A~Fを算出し、これによってマルチプレクス信号MPXを生成する回路を採用することも可能である。また、マルチプレクスデータを各走査線毎のランレングスデータとしてメモリに記憶しておき、このランレングスデータに基づいてマルチプレクス信号MPXを生成するようにすることも可能である。これらの変形例では、マルチプレクスデータに要するメモリ量を低減することができる。

【0133】(7) 上記実施例では、記憶制御部71が生成した各種の信号を記憶部60にも供給することによってマルチプレクス信号MPXの読出しを行なっているが、記憶部60専用の制御部を設けるようにしてもよい。しかし、上記実施例のように、記憶制御部71が生成した信号を記憶部60にも与えるようにすれば、回路全体の構成部品を低減することができるという利点がある。

【0134】

【発明の効果】以上説明したように、請求項1に記載された発明によれば、複数の映像メモリ間で映像データを転送することなく、複数の映像メモリにそれぞれ記憶された映像データに従って複数の映像を1つの画面に重ねて表示することができるという効果がある。

【0135】また、請求項2に記載された発明によれば、メモリに映像選択データを記憶しておき、この映像選択データを映像選択信号として読出すので、映像選択信号を容易に生成することができるという効果がある。

【0136】請求項3に記載された発明によれば、選択データ読出制御信号を生成するための専用の回路が不要になり、回路構成が簡単になるという効果がある。

【0137】請求項4に記載された発明によれば、各映像信号にそれぞれ適したクロック信号でD-A変換を行なうので、映像を良好な画質で表示できるという効果がある。

【0138】請求項5に記載された発明によれば、第1のPLL回路に設定される整数N1の値を変更することによって、映像を水平方向に変倍することができるとい

(16)

29

う効果がある。

【0139】請求項6に記載された発明によれば、プロセッサが整数N1の設定を変更することによって、映像を水平方向に変倍することができるという効果がある。

【0140】請求項7に記載された発明によれば、第2のPLL回路に設定される整数N2の値を変更することによって、映像を垂直方向に変倍することができるという効果がある。

【0141】請求項8に記載された発明によれば、プロセッサが整数N2の設定を変更することによって、映像を垂直方向に変倍することができるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例としての映像表示装置を備えるコンピュータシステムの構成を示すブロック図。

【図2】記憶部60～63のメモリ空間と画面表示との関係を示す説明図。

【図3】3つの映像記憶部を利用するOSのアドレスマップを示す説明図。

【図4】映像制御信号発生部80から出力される読出許可信号VP1E、HP1Eとカラーモニタ90における画面表示との関係を示す説明図。

【図5】映像制御信号発生部80の内部構成を示すブロック図。

【図6】映像制御信号発生部80の水平方向のタイミングチャート。

【図7】映像制御信号発生部80の垂直方向のタイミングチャート。

【図8】記憶制御部71の内部構成を示すブロック図。

【図9】記憶制御部71の動作を示すタイミングチャート。

【図10】波形整形部143～145の構成を示すブロック図。

【図11】波形整形部の動作を示すタイミングチャート。

【図12】記憶部61の内部構成を示すブロック図。

【図13】メモリ162の内部構成を示すブロック図。

【図14】シリアル読出制御部161の内部構成を示すブロック図。

【図15】シリアル読出制御部161の動作を示すタイミングチャート。

【図16】メモリに対応する画面とアドレスとの関係を示す概念図。

【図17】映像の垂直方向拡大時のシリアル読出制御部161の動作を示すタイミングチャート。

【図18】映像の垂直方向縮小時のシリアル読出制御部161の動作を示すタイミングチャート。

【図19】第1の映像のみを表示した場合の記憶制御部71と許可信号生成回路131の各種の設定値を示す説明図。

【図20】第2の映像の拡大・縮小が無く、その画面の

30

全部が表示されている場合における各種の設定値を示す説明図。

【図21】第2の映像の拡大・縮小が無く、その画面の一部のみが表示されている場合における各種の設定値を示す説明図。

【図22】第2の映像が水平方向に拡大されて、その画面の全部が表示されている場合における各種の設定値を示す説明図。

【図23】第2の映像が垂直方向に拡大されて、その画面の全部が表示されている場合における各種の設定値を示す説明図。

【図24】第2の映像が垂直方向に縮小されて、その画面の全部が表示されている場合における各種の設定値を示す説明図。

【図25】動画書込制御部74の内部構成を示すブロック図。

【図26】動画書込制御部74の水平方向の動作を示すタイミングチャート。

【図27】動画書込制御部74の垂直方向の動作を示すタイミングチャート。

【図28】3ポート映像記憶部63の内部構成を示すブロック図。

【図29】3ポートメモリ263の内部構成を示すブロック図。

【図30】シリアル書込制御部260の内部構成を示すブロック図。

【図31】シリアル書込制御部260の動作を示すタイミングチャート。

【図32】映像信号切換部の他の構成を示すブロック図。

【図33】V-PLL部の他の構成を示すブロック図。

【図34】従来の映像表示装置における表示動作を示す説明図。

【符号の説明】

40…キーボード

42…マウス

50…CPU

52…CPUバス

60…記憶部

61～63…映像記憶部

71～73…記憶制御部

74…動画書込制御部

76…映像信号分離/デジタイズ制御部

78…動画データ伸長部

80…映像制御信号発生部

82, 82a…映像信号切換部

84…クロック信号切換部

86…D-A変換部

88…増幅部

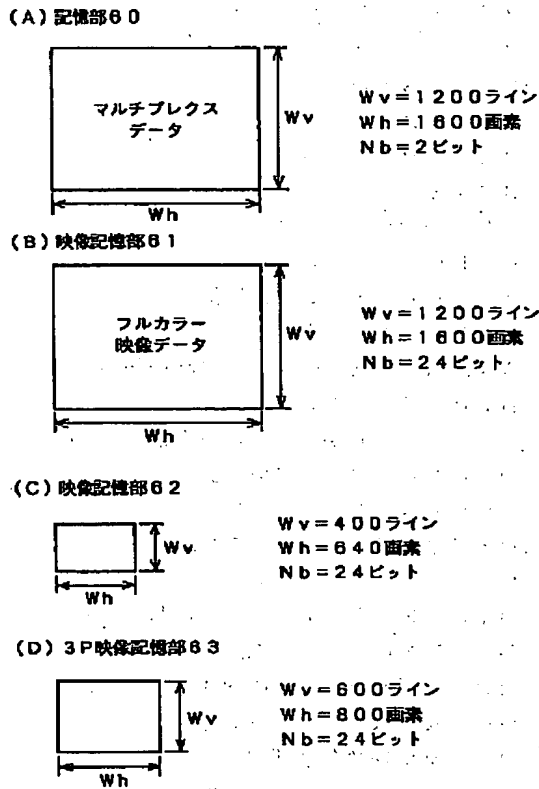
90…カラーモニタ

(17)

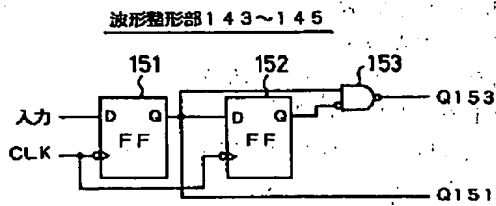
- 31
- 1 0 0…DPLL部
 1 1 1…水平同期期間カウンタ
 1 1 2…水平バックポーチ期間カウンタ
 1 1 3…水平映像有効期間カウンタ
 1 1 4…水平フロントポーチ期間カウンタ
 1 1 5…水平リセットカウンタ
 1 1 6…ANDゲート
 1 2 1…垂直同期期間カウンタ
 1 2 2…垂直バックポーチ期間カウンタ
 1 2 3…垂直映像有効期間カウンタ
 1 2 4…垂直フロントポーチ期間カウンタ
 1 2 5…垂直リセットカウンタ
 1 2 6…ANDゲート
 1 3 1～1 3 3…許可信号生成回路
 1 3 4…水平表示開始期間カウンタ
 1 3 5…水平表示領域期間カウンタ
 1 3 6…ANDゲート
 1 3 7…垂直表示開始期間カウンタ
 1 3 8…垂直表示領域期間カウンタ
 1 3 9…ANDゲート
 1 4 1…H-PLL部
 1 4 2…V-PLL部
 1 4 3～1 4 5…波形整形部
 1 4 6…NANDゲート
 1 4 7…インバータ
 1 4 8…アドレス生成回路
 1 5 1, 1 5 2…Dフリップフロップ
 1 5 3…ANDゲート
 1 6 0…ランダム読出/書込制御部
 1 6 1…シリアル読出制御部
 1 6 2…メモリ
 1 6 5…メモリセルアレイ
 1 6 6…セクタ
 1 6 7, 1 6 8…3ステートバッファ
 1 7 1～1 7 4…アドレスレジスタ
 1 7 6…デコーダ
 1 8 0, 1 8 2, 1 8 4…加算器
 1 8 6, 1 8 8…ラッチ
 1 9 0…水平カウンタ
 1 9 2, 1 9 4, 1 9 6, 1 9 8…ANDゲート
 1 9 9…Dフリップフロップ
 2 0 0…DRH-PLL部
 2 0 1…垂直映像開始位置カウンタ
 2 0 2…垂直映像領域期間カウンタ
 2 0 3…ANDゲート
 2 1 1…水平映像開始位置カウンタ
 2 1 2…水平映像領域期間カウンタ
 2 1 3…ANDゲート
 2 2 1…DV-PLL部
 2 2 2…垂直書込開始カウンタ
- 32
- 2 2 3…垂直書込領域カウンタ
 2 2 4…ANDゲート
 2 3 1…DH-PLL部
 2 3 2…水平書込開始カウンタ
 2 3 3…水平書込領域カウンタ
 2 4 1～2 4 3…波形整形部
 2 4 4…NANDゲート
 2 5 0…制御クロック切換部
 2 6 0…シリアル書込制御部
 10 2 6 1…ランダム読出/書込制御部
 2 6 2…シリアル読出制御部
 2 7 1…メモリセルアレイ
 2 7 2, 2 7 3…セクタ
 2 7 4…ANDゲート
 2 7 5, 2 7 6…3ステートバッファ
 3 2 0…PLL回路
 3 2 1…分周器
 AHAL…始点アドレス
 ADBUS…アドレスバス
 20 ADSEL…アドレス選択信号
 AEN…アドレス有効信号
 AR, AG, AB…アナログ映像信号
 BHBL…加算アドレス
 CLK1～CLK3…クロック信号
 DACLK…クロック信号
 DDCLK…クロック信号
 DHSYNC…水平同期信号
 DRCLK…クロック信号
 DTCLK…ドットクロック信号
 30 DVS SYNC…垂直同期信号
 HB…水平バックポーチ期間
 HCLR…水平リセット信号
 HE…水平映像有効期間
 HF…水平フロントポーチ期間
 HPIE, HPIE1～HPIE3…垂直読出許可信号
 HR…水平リセット期間
 HS…水平同期期間
 HSYNC…水平同期信号
 HYENB…水平有効イネーブル信号
 40 INC…垂直インクリメント信号
 Mh…水平倍率
 Mv…垂直倍率
 MPX…マルチプレクス信号
 Pi…アドレス基準点
 RADDRS…ランダムアドレス
 RDATA…ランダムデータ
 RE…リードイネーブル信号
 50 RGB01～03, RGBI0…映像信号
 RRD…ランダム読出信号
 RWR…ランダム書込信号

33
 SADDRS...シリアルアドレス
 SRD...シリアル読出許可信号
 SWE0...書込許可信号
 VB...垂直バックポーチ期間
 VCLK...クロック信号
 VCLR...垂直リセット信号
 VE...垂直映像有効期間
 VF...垂直フロントポーチ期間

【図2】



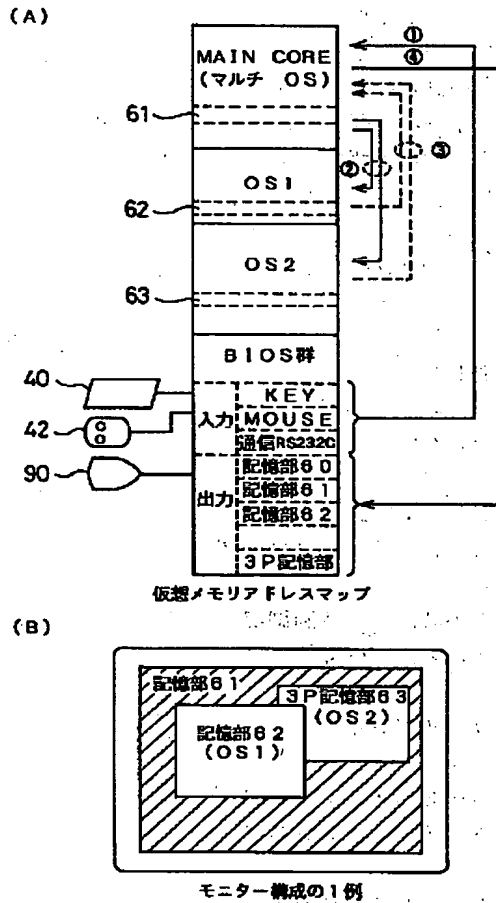
【図10】



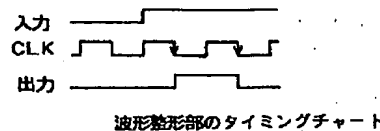
(18)

34
 VPIE, VPIE1~VPIE3...水平読出許可信号
 VR...垂直リセット期間
 VS...垂直同期期間
 VSYNC...垂直同期信号
 VYENB...垂直有効イネーブル信号
 W01~W03...映像領域
 WE0...ライトイネーブル信号

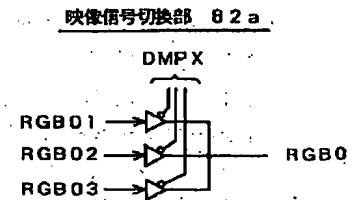
【図3】



【図11】

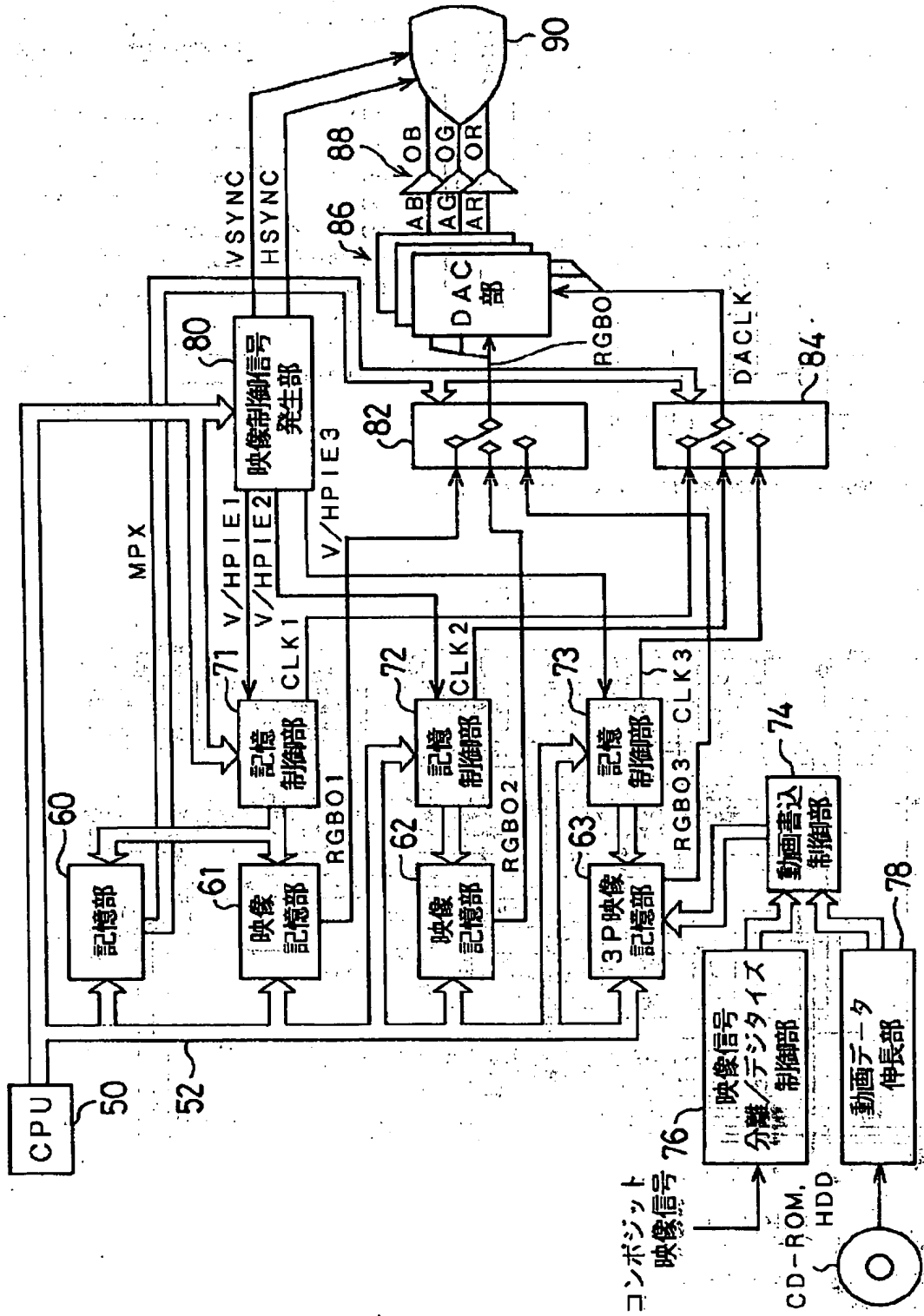


【図32】

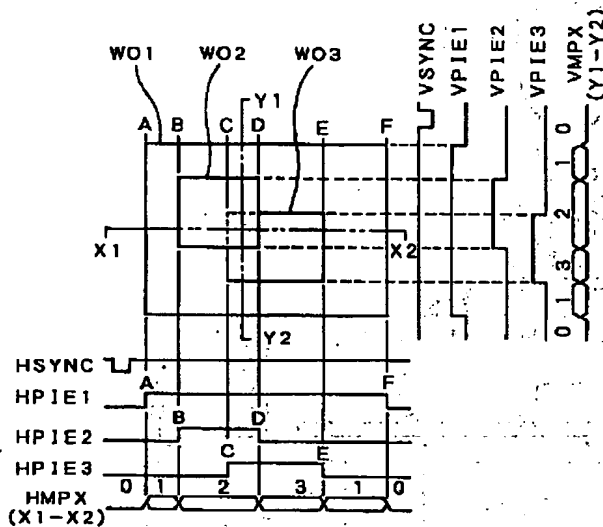


(19)

【図1】

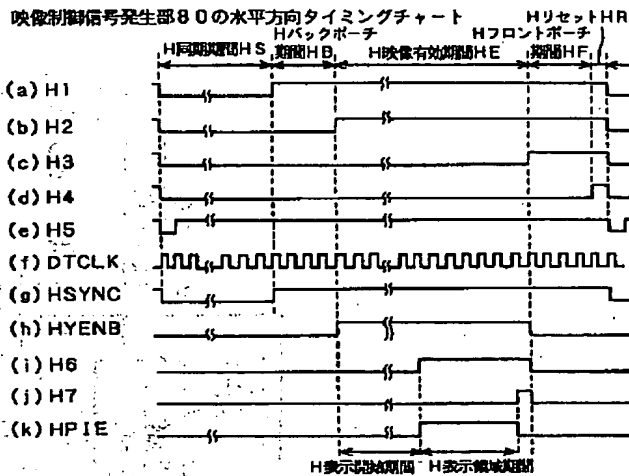


【図4】

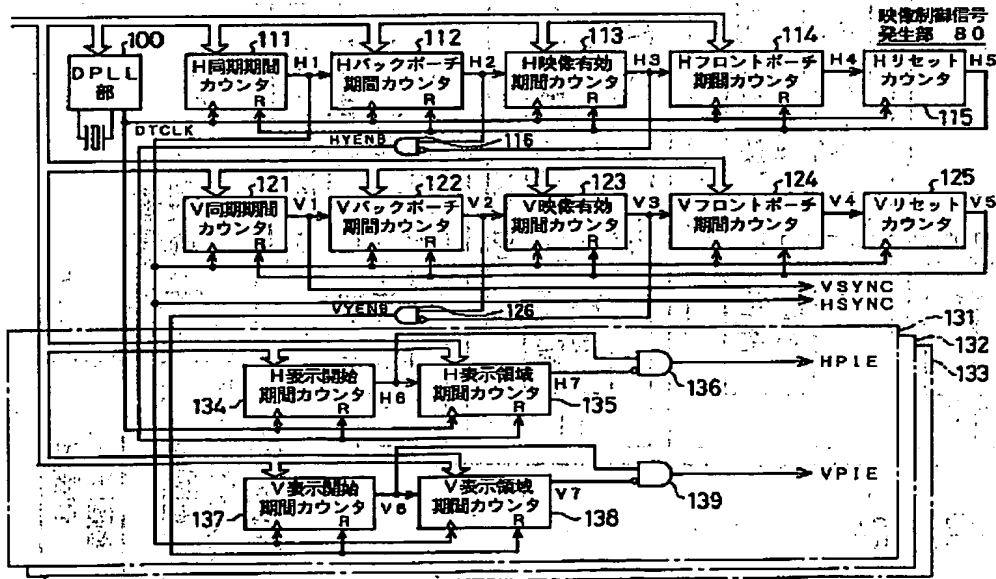


モニター画面イメージと各記号部に対応した合成タイミングチャート

【図6】

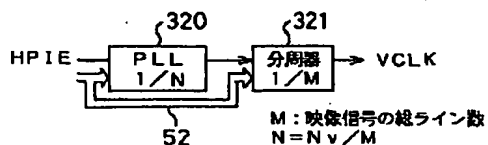


【図5】



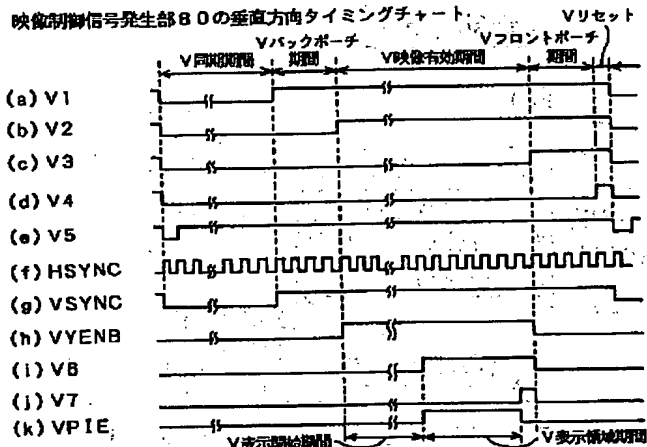
【図3.3】

V-PLL部 142a

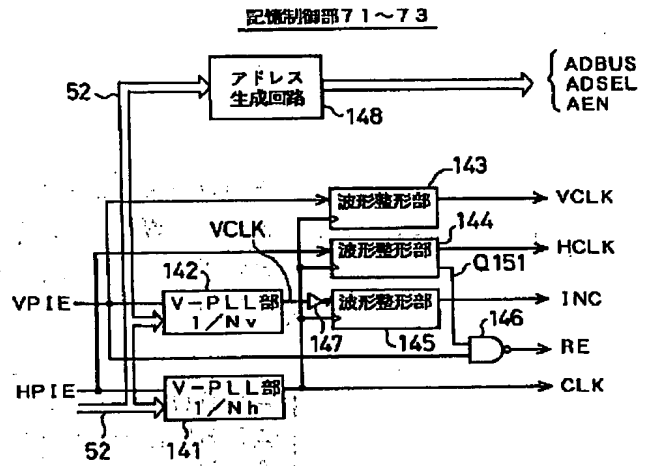


(21)

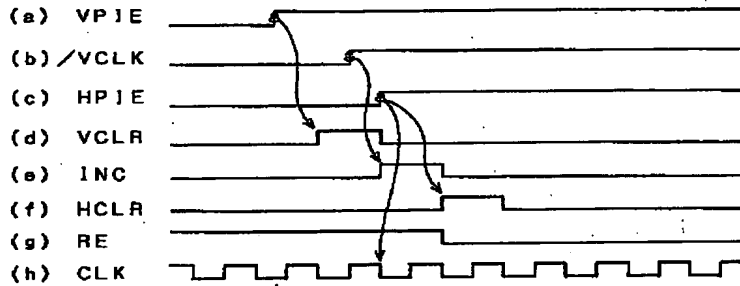
【図7】



【図8】

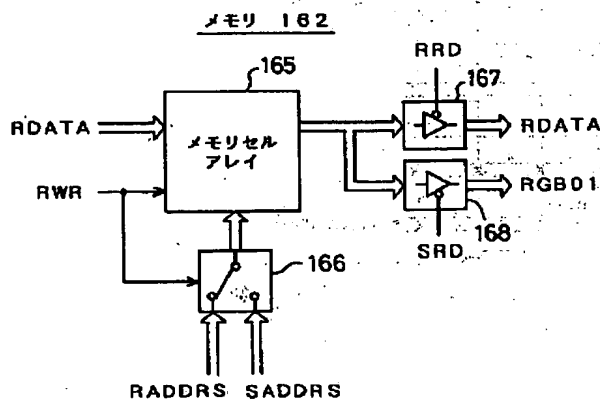


【図9】



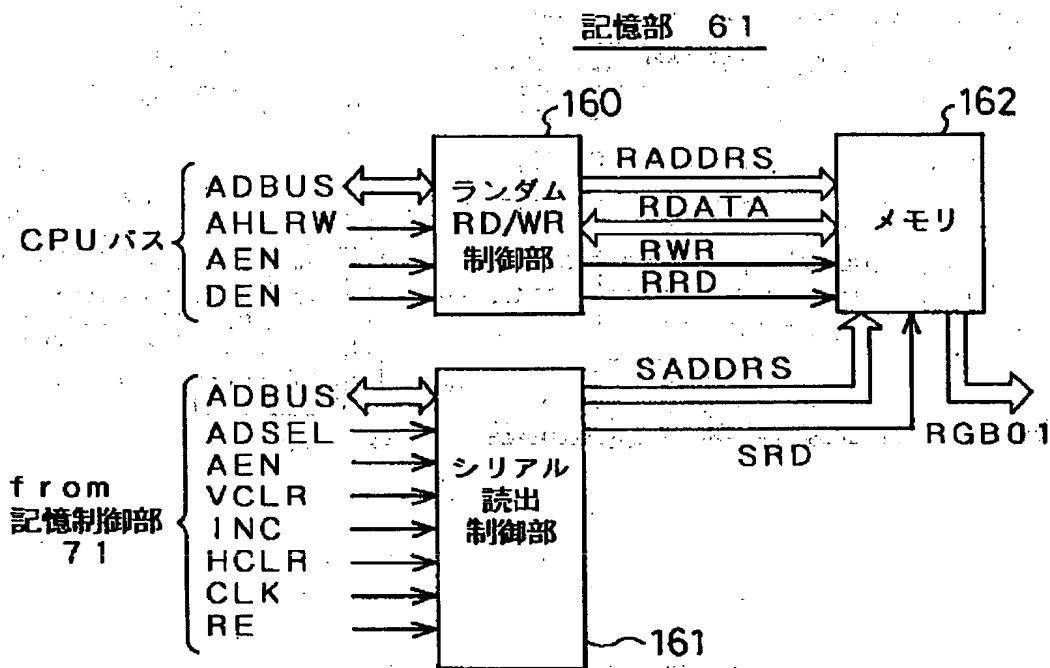
記憶制御部のタイミングチャート

【図13】

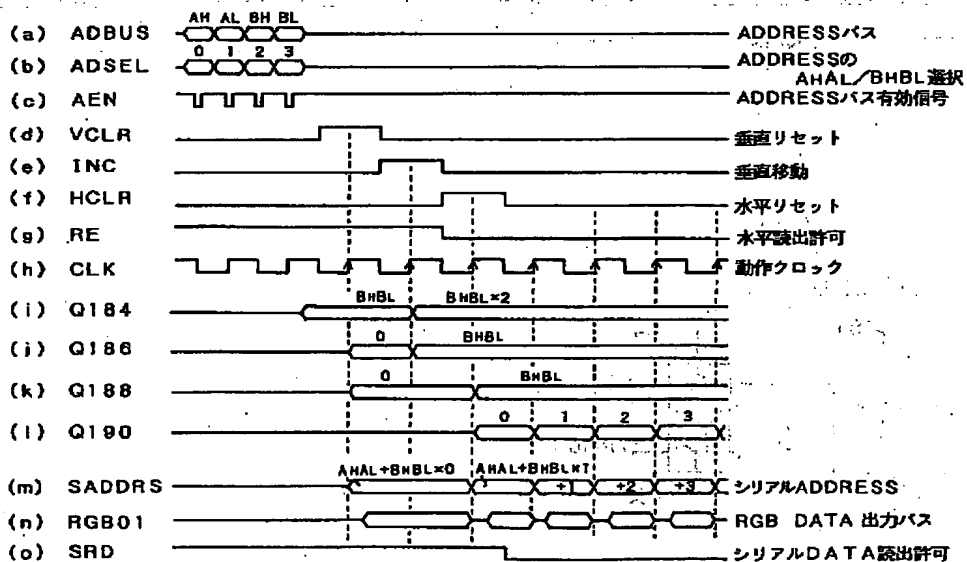


(22)

【図12】



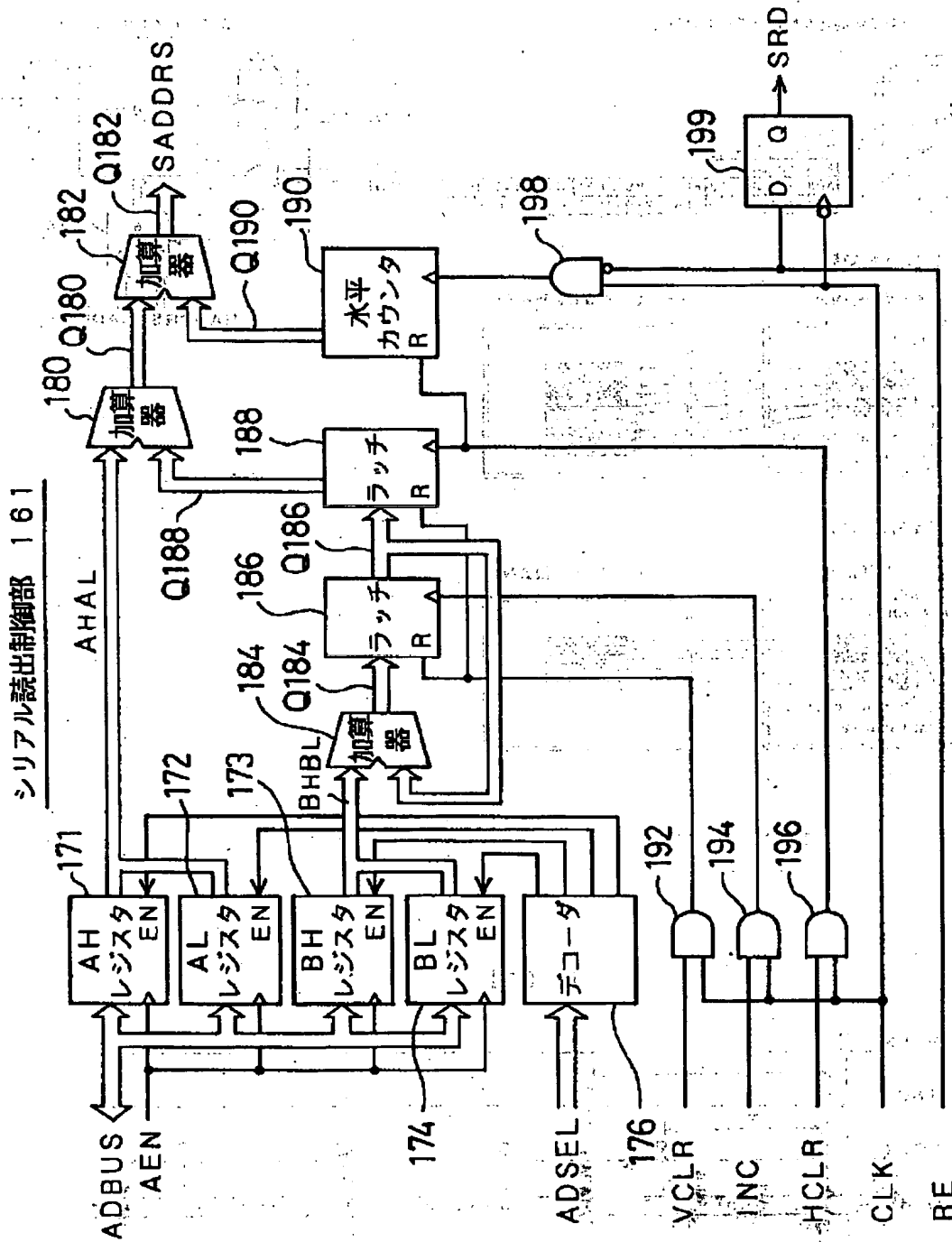
【図15】



シリアル読出制御部タイミングチャート

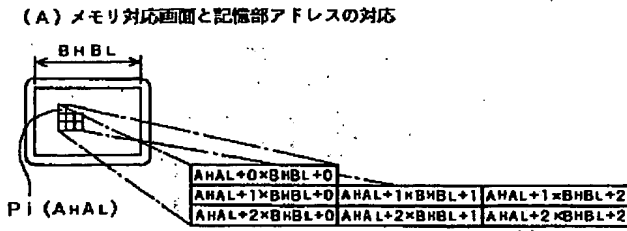
(23)

【図14】

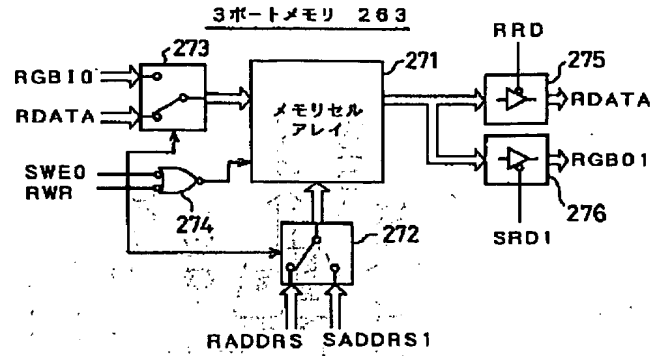


(24)

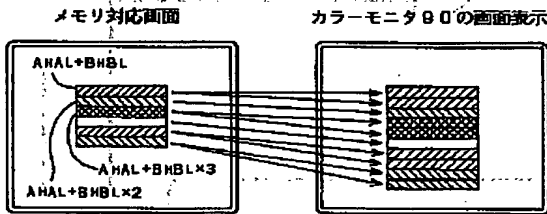
【図16】



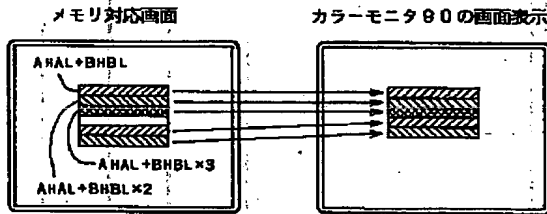
【図29】



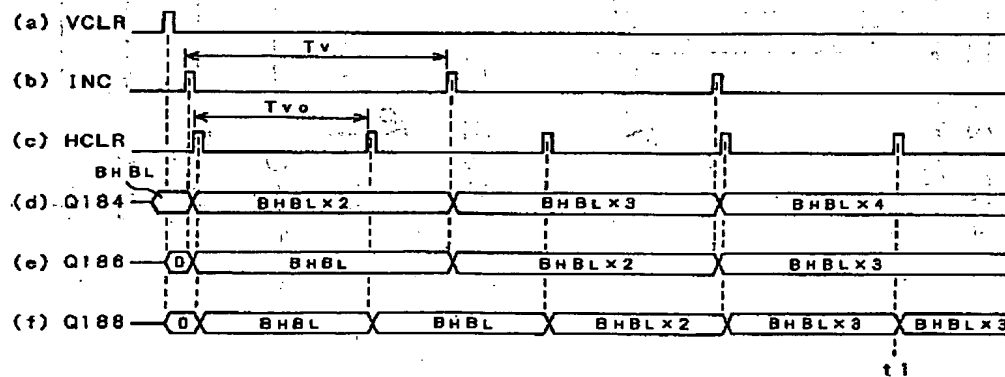
(B) 垂直方向拡大時



(C) 垂直方向縮小時



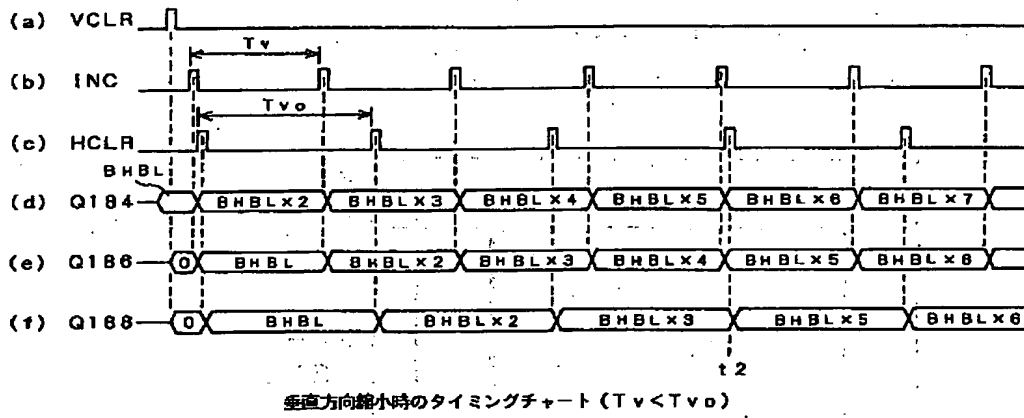
【図17】



垂直方向拡大時のタイミングチャート ($T_v > T_{vo}$)

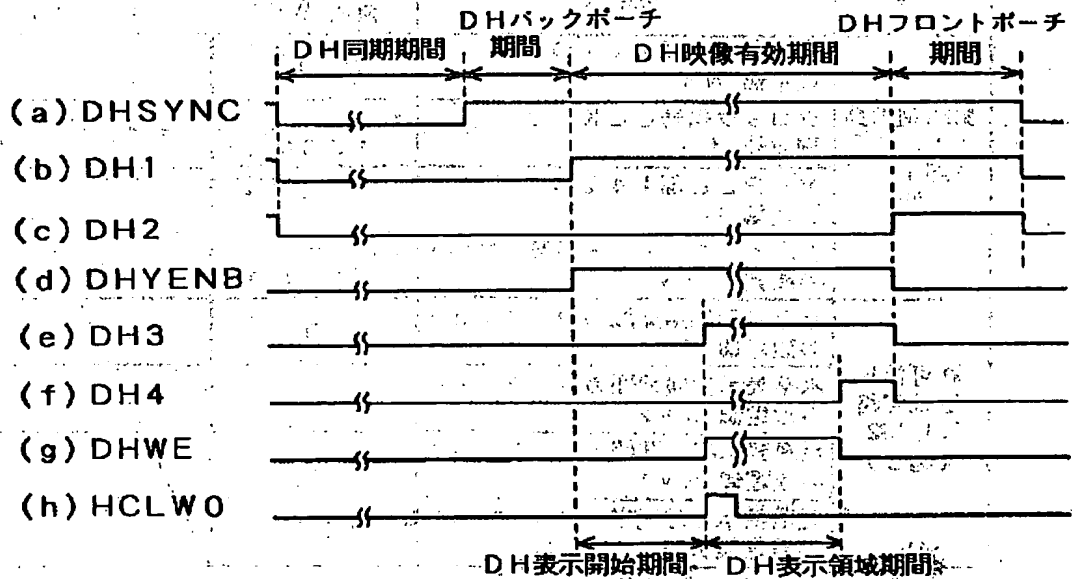
(25)

【図18】



【図26】

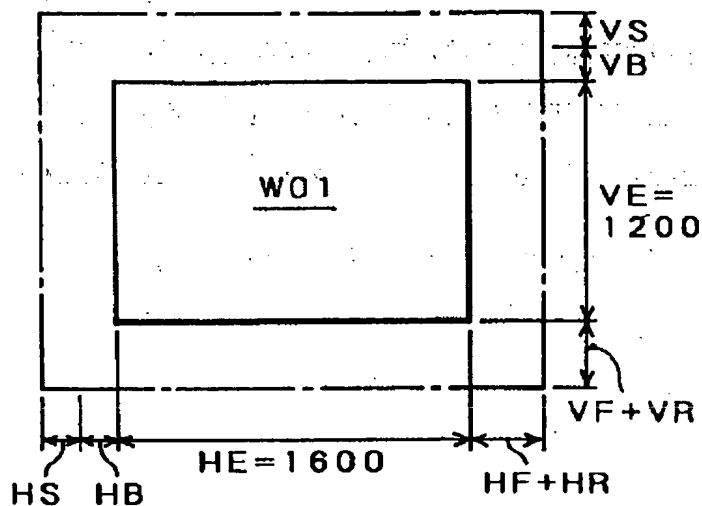
動画書込制御部74の水平方向タイミングチャート



(26)

【図19】

(A) 基本の第1の映像のみ表示



(B)

	設定値	第1の映像領域 W01	第2の映像領域 W02
記憶制御部 71, 72 (図1, 図8)	H-PLL部141の設定値 N_h	$N_{h0} * 1$	
	クロック信号CLKiの周波数 f_h	$f_{h0} = 100\text{MHz}$	
	V-PLL部142の設定値 N_v	$N_{v0} * 2$	
	垂直インクリメント信号INCiの周波数 f_v	$f_{v0} = 80\text{kHz}$	
許可信号生成回路 131, 132 (図5)	水平表示開始期間カウンタ134の設定値 K_{h1}	0	
	水平表示領域期間カウンタ135の設定値 K_{h2}	1600	
	垂直表示開始期間カウンタ137の設定値 K_{v1}	0	
	垂直表示領域期間カウンタ138の設定値 K_{v2}	1200	

*1)

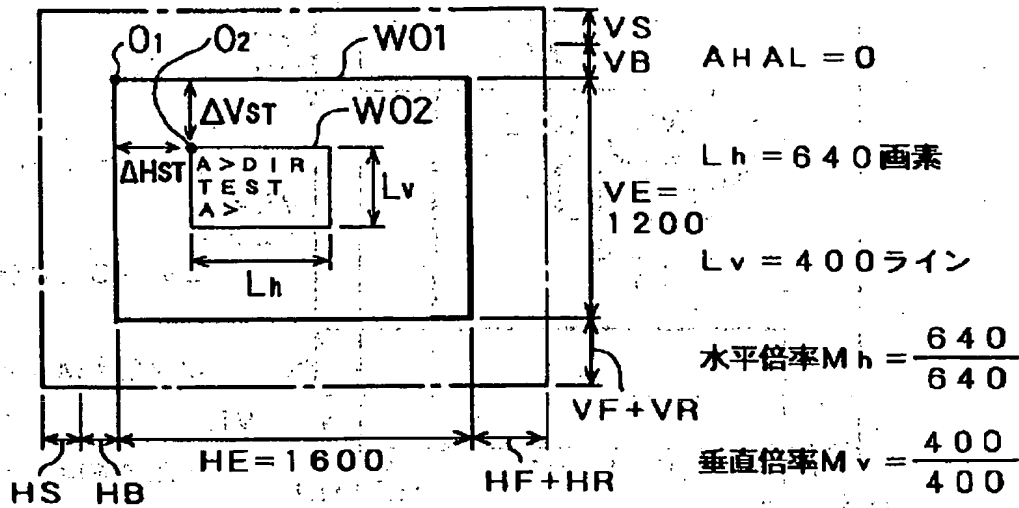
*2)

$$N_{h0} = 1600 + HS + HB + HF + HR \quad N_{v0} = 1200 + VS + VB + VF + VR$$

(27)

【図20】

(A) 拡大縮小なし、第2の映像記憶部62の画面の全部表示



(B)

	設定値	第1の映像領域 W01	第2の映像領域 W02
記憶制御部 7.1, 7.2 (図1, 図8)	H-PLL部141の 設定値 N_h	$N_{h0} * 1$	$INT(N_{h0} \times \frac{640}{640})$
	クロック信号CLK1の 周波数 f_{h0}	$f_{h0} = 10.0\text{MHz}$	$f_{h0} \times \frac{640}{640}$
	V-PLL部142の 設定値 N_v	$N_{v0} * 2$	$INT(N_{v0} \times \frac{400}{400})$
	垂直インクリメント信号INC1 の周波数 f_{v0}	$f_{v0} = 8.0\text{kHz}$	$f_{v0} \times \frac{400}{400}$
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ134 の設定値 K_{h1}	0	ΔHST
	水平表示領域期間カウンタ135 の設定値 K_{h2}	1600	640
	垂直表示開始期間カウンタ137 の設定値 K_{v1}	0	ΔVST
	垂直表示領域期間カウンタ138 の設定値 K_{v2}	1200	400

*1)

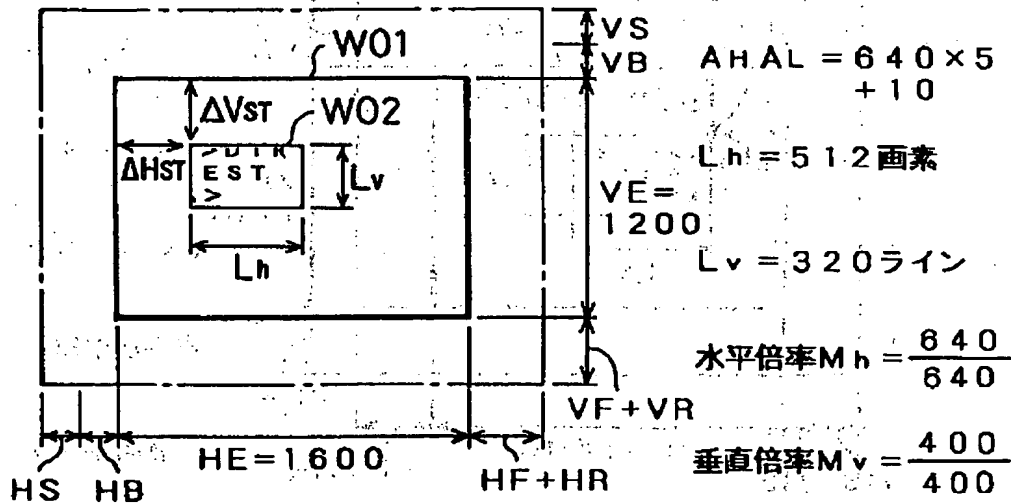
*2)

$N_{h0} = 1600 + HS + HB + HF + HR$ $N_{v0} = 1200 + VS + VB + VF + VR$

(28)

【図21】

(A) 拡大縮小なし、第2の映像記憶部62の画面の一部のみ表示、
始点アドレス変更



(B)

	設定値	第1の映像領域 W01	第2の映像領域 W02
記憶制御部 7-1, 7-2 (図1, 図8)	H-PLL部141の 設定値 N_h	$N_{h0} * 1$	$INT(N_{h0} \times \frac{640}{640})$
	クロック信号CLKiの 周波数 f_{h0}	$f_{h0} = 100MHz$	$f_{h0} \times \frac{640}{640}$
	V-PLL部142の 設定値 N_v	$N_{v0} * 2$	$INT(N_{v0} \times \frac{400}{400})$
許可信号 生成回路 131, 132 (図5)	垂直インクリメント信号INCi の周波数 f_{v0}	$f_{v0} = 80kHz$	$f_{v0} \times \frac{400}{400}$
	水平表示開始期間カウンタ134 の設定値 K_{h1}	0	ΔHST
	水平表示領域期間カウンタ135 の設定値 K_{h2}	1600	512
	垂直表示開始期間カウンタ137 の設定値 K_{v1}	0	ΔVST
	垂直表示領域期間カウンタ138 の設定値 K_{v2}	1200	320

*1)

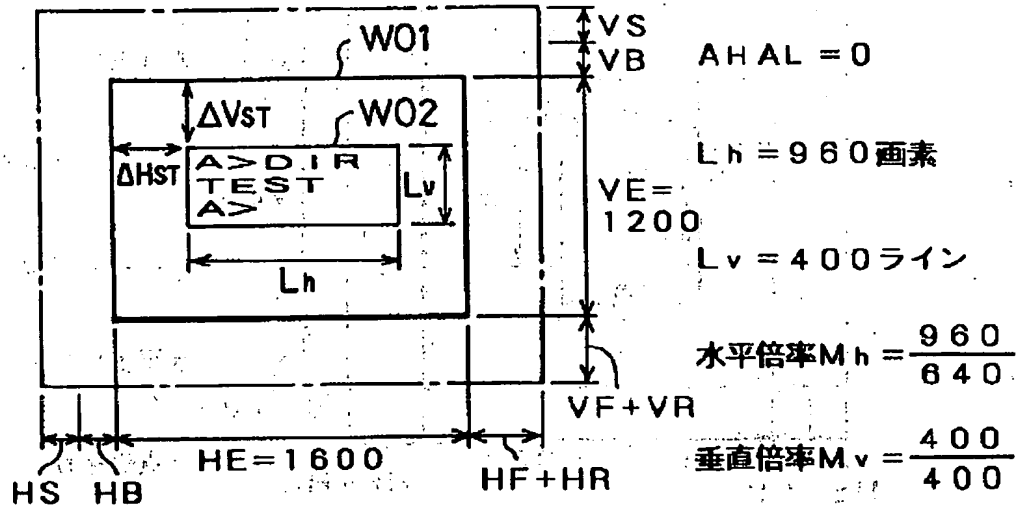
*2)

$N_{h0} = 1600 + HS + HB + HF + HR$ $N_{v0} = 1200 + VS + VB + VF + VR$

(29)

【図22】

(A) 水平方向のみ拡大, 第2の映像記憶部62の画面の全部表示



(B)

	設定値	第1の映像領域 W01	第2の映像領域 W02
記憶制御部 7.1, 7.2 (図1, 図8)	H-PLL部1.4.1の 設定値 N_h	$N_{h0} * 1$	$INT(N_{h0} \times \frac{640}{960})$
	クロック信号CLKiの 周波数 f_h	$f_{h0} = 100\text{MHz}$	$f_{h0} \times \frac{640}{960}$
	V-PLL部1.4.2の 設定値 N_v	$N_{v0} * 2$	$INT(N_{v0} \times \frac{400}{400})$
	垂直インクリメント信号INCi の周波数 f_v	$f_{v0} = 80\text{kHz}$	$f_{v0} \times \frac{400}{400}$
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ1.3.4 の設定値 K_{h1}	0	ΔHST
	水平表示領域期間カウンタ1.3.5 の設定値 K_{h2}	1600	960
	垂直表示開始期間カウンタ1.3.7 の設定値 K_{v1}	0	ΔVST
	垂直表示領域期間カウンタ1.3.8 の設定値 K_{v2}	1200	400

*1)

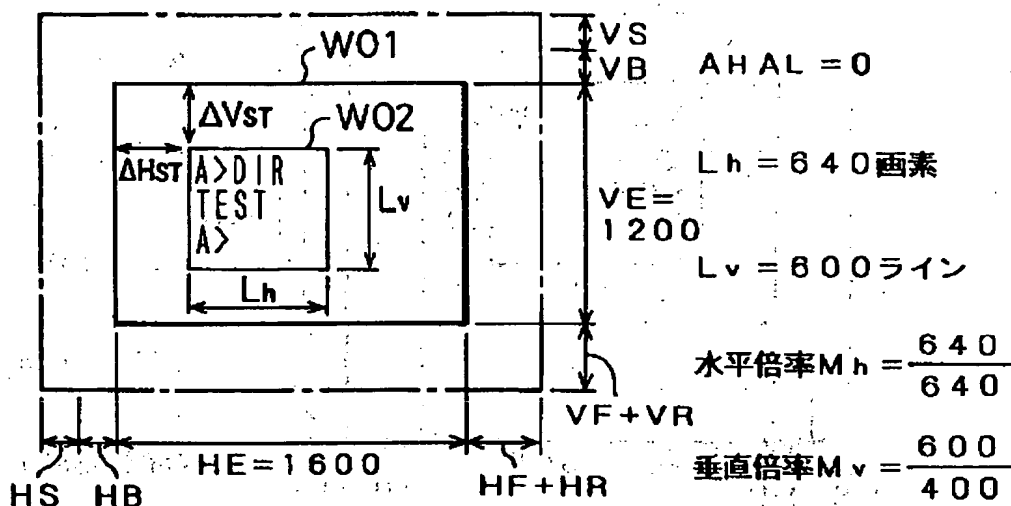
*2)

$N_{h0} = 1600 + HS + HB + HF + HR$; $N_{v0} = 1200 + VS + VB + VF + VR$

(30)

【図23】

(A) 垂直方向のみ拡大、第2の映像記憶部62の画面の全部表示



(B)

	設定値	第1の映像領域 W01	第2の映像領域 W02
記憶制御部 71, 72 (図1, 図8)	H-PLL部141の 設定値 N_h	$N_{h0} * 1$	$INT\left(N_{h0} \times \frac{640}{640}\right)$
	クロック信号CLKiの 周波数 f_h	$f_{h0} = 100\text{MHz}$	$f_{h0} \times \frac{640}{640}$
	V-PLL部142の 設定値 N_v	$N_{v0} * 2$	$INT\left(N_{v0} \times \frac{400}{600}\right)$
	垂直インクリメント信号INCi の周波数 f_v	$f_{v0} = 80\text{kHz}$	$f_{v0} \times \frac{400}{600}$
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ134 の設定値 K_{h1}	0	ΔHST
	水平表示領域期間カウンタ135 の設定値 K_{h2}	1600	640
	垂直表示開始期間カウンタ137 の設定値 K_{v1}	0	ΔVST
	垂直表示領域期間カウンタ138 の設定値 K_{v2}	1200	600

*1)

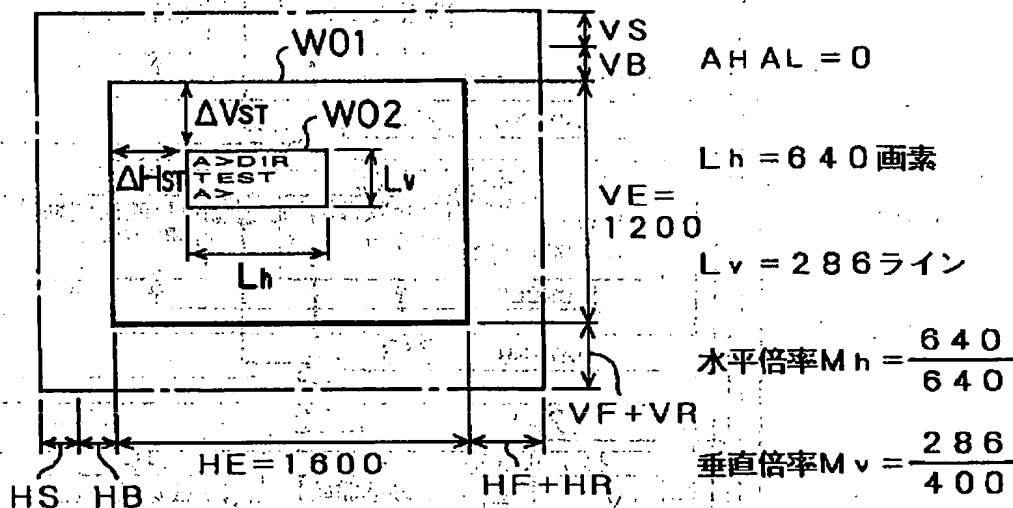
*2)

$N_{h0} = 1600 + HS + HB + HF + HR$ $N_{v0} = 1200 + VS + VB + VF + VR$

(31)

【図24】

(A) 垂直方向のみ縮小、第2の映像領域の画面の全部表示



(B)

	設定値	第1の映像領域 W01	第2の映像領域 W02
記憶制御部 71, 72 (図1, 図8)	H-PLL部141の 設定値 N_h	$N_{h0} * 1$	$INT\left(N_{h0} \times \frac{640}{640}\right)$
	クロック信号CLKiの 周波数 f_{h0}	$f_{h0} = 100\text{MHz}$	$f_{h0} \times \frac{640}{640}$
	V-PLL部142の 設定値 N_v	$N_{v0} * 2$	$INT\left(N_{v0} \times \frac{400}{286}\right)$
	垂直インクリメント信号INCi の周波数 f_{v0}	$f_{v0} = 80\text{kHz}$	$f_{v0} \times \frac{400}{286}$
許可信号 生成回路 131, 132 (図5)	水平表示開始期間カウンタ134 の設定値 K_{h1}	0	ΔHST
	水平表示領域期間カウンタ135 の設定値 K_{h2}	1600	640
	垂直表示開始期間カウンタ137 の設定値 K_{v1}	0	ΔVST
	垂直表示領域期間カウンタ138 の設定値 K_{v2}	1200	286

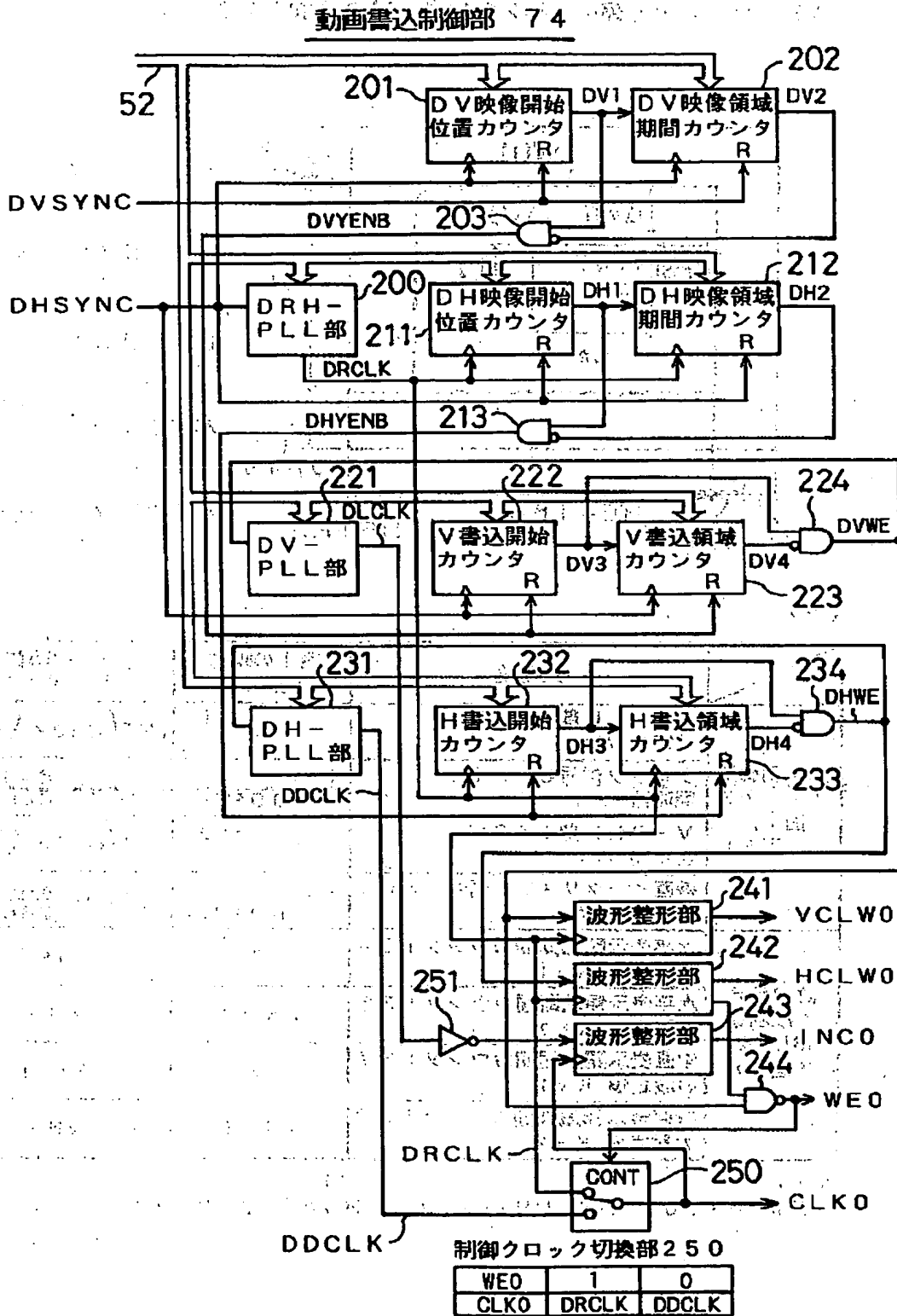
*1)

*2)

$N_{h0} = 1600 + HS + HB + HF + HR$ $N_{v0} = 1200 + VS + VB + VF + VR$

(32)

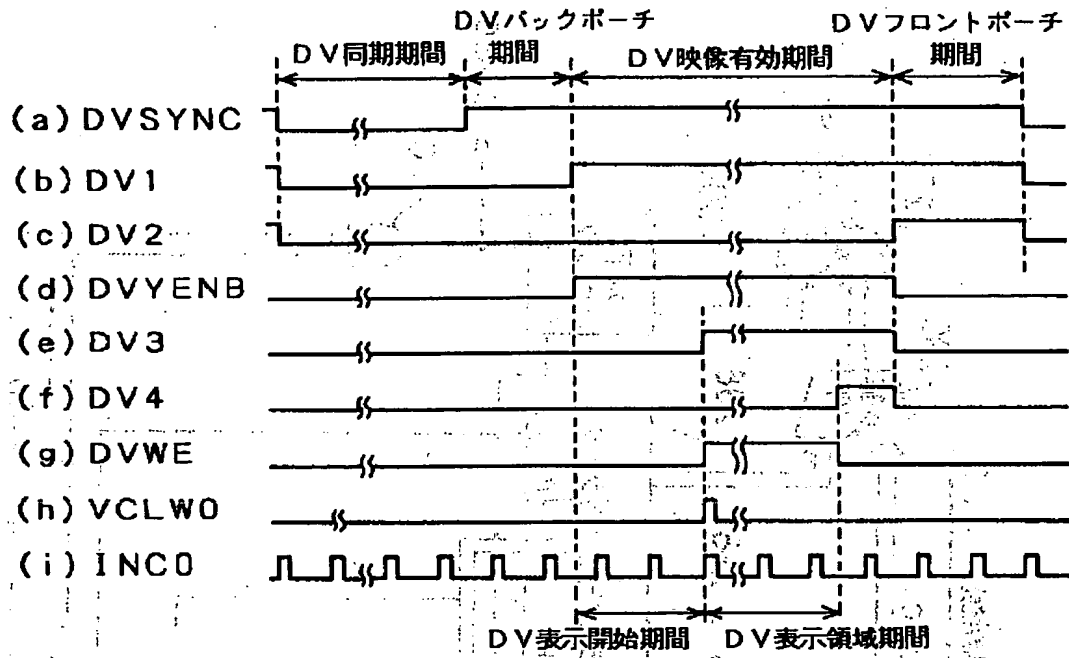
【図25】



(33)

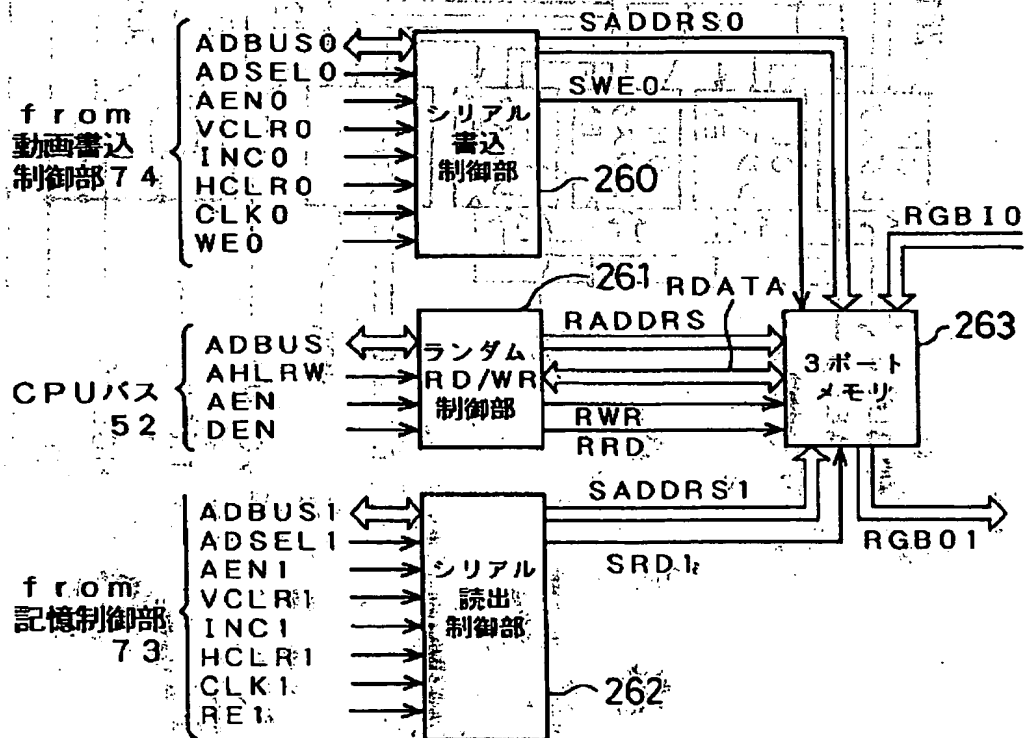
【図27】

動画書込制御部74の垂直方向タイミングチャート



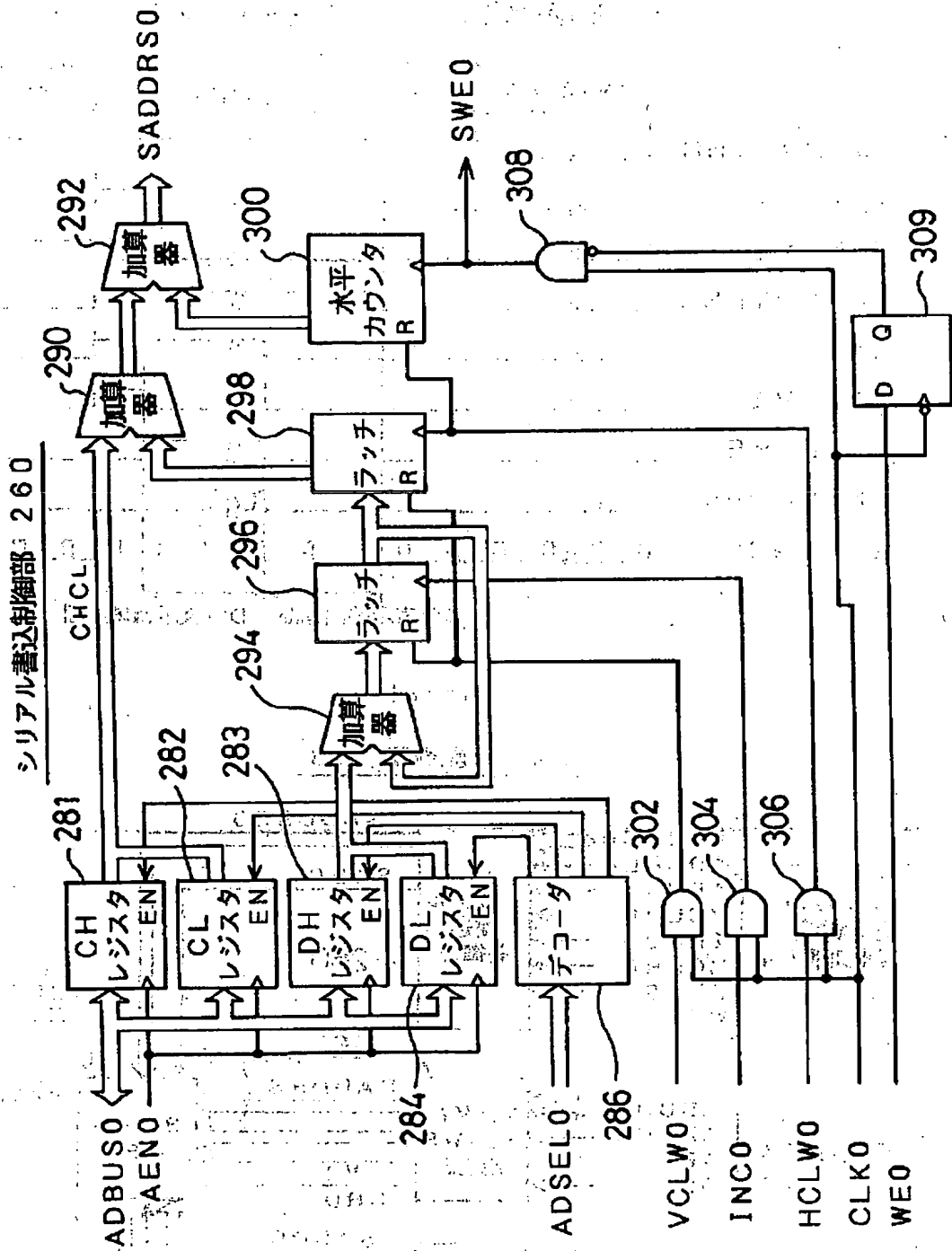
【図28】

3ポート記憶部 63

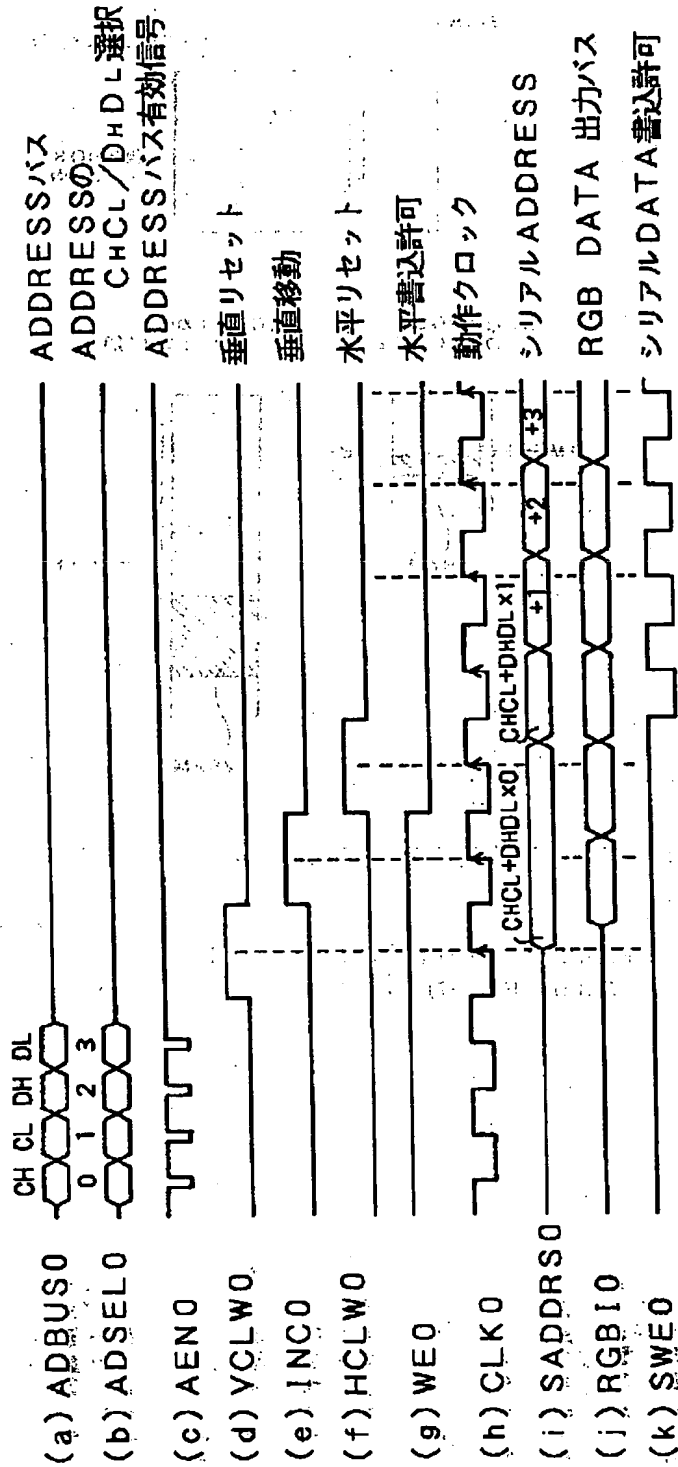


(34)

【図30】



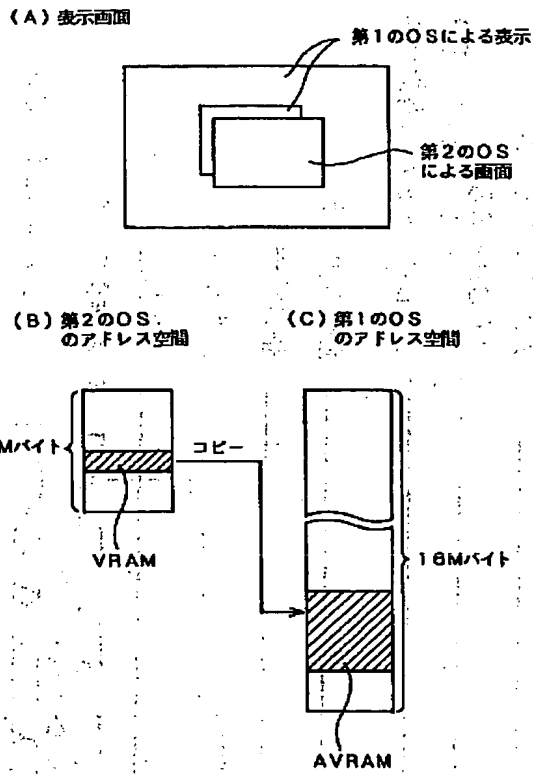
【図31】



シリアル書込制御部タイミングチャート

(36)

【図34】



フロントページの続き

(51) Int. Cl. 6
 G 0 9 G 5/36
 H 0 4 N 5/265
 5/45
 5/937

識別記号 庁内整理番号
 5 3 0 F 9471-5G

F I

技術表示箇所

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-092953

(43)Date of publication of application : 07.04.1995

(51)Int.Cl. G09G 5/14
G09G 5/18
G09G 5/36
G09G 5/36
H04N 5/265
H04N 5/45
H04N 5/937

(21)Application number : 05-264251

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.09.1993

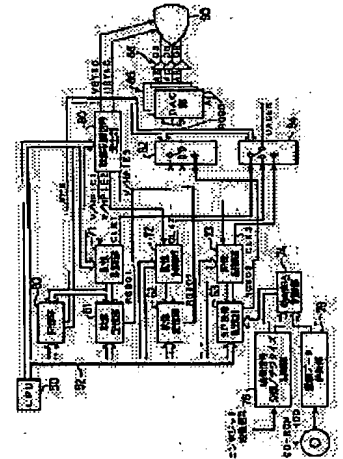
(72)Inventor : TAKEUCHI KESATOSHI

(54) VIDEO DISPLAY DEVICE

(57)Abstract:

PURPOSE: To display plural videos on one screen while superposing them according to video data stored in respective video memories without transferring video data among plural memories.

CONSTITUTION: Three storage control parts 71 to 73 output clock signals CLK1 to CLK3 synchronizing with three video signals RGB01 to 03 readout respectively from three video storage parts 61 to 63. A video signal switching part 82 selects one of three video signals and a clock signal switching part 84 selects one of three clock signals. A D/A converting part 86 D/A-converts the selected video signal with the selected clock signal. A video control signal generating part 80 switches respective video signals in one screen by supplying read-out permission signals HPIE1 to 3, VPIE1 to 3 to three storage control parts 71 to 73 respectively. Thus, videos expressed by video signals readout from three video storage parts 61 to 63 are displayed on one screen while being superposed.



LEGAL STATUS

[Date of request for examination] 26.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3419046

[Date of registration] 18.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more image memory which is the graphic display devices which display two or more images on the one display screen in piles, and memorizes two or more video signals, respectively, An image control signal generating means to generate two or more read-out enabling signals which show the timing which reads two or more video signals from said two or more image memory, respectively, While giving two or more read-out control signals for reading said two or more video signals to said two or more image memory, respectively, corresponding respectively to said two or more read-out enabling signals The memory control means which generates two or more clock signals which synchronize with said two or more video signals read from said two or more image memory, respectively, A selection-signal generation means to generate the image selection signal for choosing switching one of said two or more of the video signals in two or more predetermined locations in the screen of said display, A graphic display device equipped with a display means to display an image according to a selection means to choose one of said two or more of the video signals, and one of said two or more of the clock signals according to the image selection signal given from said selection-signal generation section, and the video signal and clock signal which were chosen with said selection means.

[Claim 2] It is a graphic display device according to claim 1. Said selection-signal generation means It has the memory area of the predetermined number of bits which two or more pixels contained in a field predetermined [on the screen of said display means] are alike, respectively, and corresponds. The memory which memorizes the image select data showing any of two or more of said video signals are chosen about each of two or more of said pixels, A graphic display device including a control signal supply means to supply the select data read-out control signal for reading said image select data from said memory as said image selection signal to said memory.

[Claim 3] It is the graphic display device which is the transfer way which it is a graphic display device according to claim 2, and said control signal supply means makes one of said two or more read-out control signals said select data read-out control signal, and is transmitted to said memory.

[Claim 4] It is a graphic display device containing the D-A converter which is a graphic display device according to claim 1, and changes into an analog video signal the digital video signal chosen with said selection means according to the clock signal as which said display means was chosen with said selection means.

[Claim 5] It is a graphic display device according to claim 1. Said image control signal generating means A means to generate the 1st signal which has the 1st period equivalent to the scan period of the one scanning line on the screen of said display means is included. Said memory control means It is based on said 1st signal given from said image control signal generating means, and is $N1$ of said 1st period. The 1st PLL circuit which generates the 1st clock signal which has a twice ($N1$ is an integer) as many period as this, A level address-generation means to generate the level address of the 1st image memory which is one of said two or more of the image memory, By adding a perpendicular address-generation means to generate the perpendicular address of said 1st image memory, and said level address and said perpendicular address Said level address-generation means is a graphic display device including the renewal means of the level address to which said level address is made to increase according to the

pulse of said 1st clock signal while the adder which generates the address given to said 1st image memory is included.

[Claim 6] While being a graphic display device according to claim 6 and connecting the processor in which arithmetic logical operation is still more possible, said processor, and said two or more image memory It has the bus which connects said processor and said memory control section. Said processor Said integer N1 in said 1st PLL circuit Graphic display device which carries out variable power of the 1st image displayed on said display means by the 1st video signal read from said 1st image memory by changing a value horizontally.

[Claim 7] It is a graphic display device according to claim 6. Said image control signal generating means A means to generate the 2nd signal which has the 2nd period equivalent to the scan period for one screen of said display means is included. Said 1st memory control means Furthermore, it is based on said 1st signal given from said image control signal generating means. A means to generate the 1st renewal signal of the scanning line which shows the timing equivalent to the termination of the scanning line about the 1st video signal read from said 1st image memory, Based on either of said 1st and 2nd signals, the 2nd PLL circuit which generates the 2nd renewal signal of the scanning line which has a period twice (N2 is an integer) the N of said 2nd period is included. Said level address-generation means includes a means to reset said level address to predetermined initial value according to one pulse of said 1st renewal signal of the scanning line. Said perpendicular address-generation means Said pulse number of the 2nd renewal signal of the scanning line given according to one pulse of said 1st renewal signal of the scanning line between the two newest pulses of said 1st renewal signal of the scanning line. A graphic display device including a renewal means of the perpendicular address to update said perpendicular address by adding the perpendicular address increment equivalent to the result of having carried out the multiplication of the difference of the address equivalent to a predetermined number in said display means of scanning lines to said perpendicular address.

[Claim 8] It is said integer [in / it is a graphic display device according to claim 7, and / in said processor / said 2nd PLL circuit] N2: Graphic display device which carries out variable power of the 1st image displayed on said display means by the 1st video signal read from said 1st image memory by changing a value perpendicularly.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the graphic display device which displays two or more images on the same screen based on the video signal memorized by two or more image memory.

[0002]

[Description of the Prior Art] Drawing 34 is the explanatory view showing the display action of the image in the conventional graphic display device. In a personal computer in recent years, two or more OS's

(operating system) may work. Drawing 34 (A) shows the condition of having displayed the screen by MS-DOS (trademark of Microsoft Corp.) which is the 2nd OS into the window of MS-WINDOWS (trademark of Microsoft Corp.) which is the 1st OS. Drawing 34 (B) and (C) show the address space of two OS's in this case.

[0003]

[Problem(s) to be Solved by the Invention] In order to display the screen of the 2nd OS on one of the windows by the 1st OS conventionally, as drawing 34 (B) showed and an arrow head showed to (C), image data needed to be transmitted to the video memory (AVRAM) for a display in the 1st OS from the video memory (VRAM) for a display in the 2nd OS. Since CPU performed the image data transfer, it will be used for the processing most processing times of whose of CPU display the screen by the 2nd OS, and there was a problem that other processings by CPU will become very slow. Such a problem was a problem in common, when two or more video memory for a display was prepared in a graphic display device.

[0004] This invention aims at offering the image processor which can display two or more images on one screen in piles according to the image data memorized by each video memory, without being made in order to solve the above-mentioned technical problem in the conventional technique, and transmitting image data among two or more video memory.

[0005]

[Means for Solving the Problem and its Function] In order to solve an above-mentioned technical problem, the graphic display device of this invention Two or more image memory which memorizes two or more video signals, respectively, and an image control signal generating means to generate two or more read-out enabling signals which show the timing which reads two or more video signals from said two or more image memory, respectively, While giving two or more read-out control signals for reading said two or more video signals to said two or more image memory, respectively, corresponding respectively to said two or more read-out enabling signals The memory control means which generates two or more clock signals which synchronize with said two or more video signals read from said two or more image memory, respectively, A selection-signal generation means to generate the image selection signal for choosing switching one of said two or more of the video signals in two or more predetermined locations in the screen of said display, It has a display means to display an image according to a selection means to choose one of said two or more of the video signals, and one of said two or more of the clock signals according to the image selection signal given from said selection-signal generation section, and the video signal and clock signal which were chosen with said selection means.

[0006] According to the image data memorized, respectively, two or more images can be displayed on two or more image memory in piles on one screen, without transmitting image data among two or more image memory, since the clock signal corresponding to the selected video signal is chosen and a display means is supplied with a selection means, while choosing two or more video signals.

[0007] It has the memory area of the predetermined number of bits which two or more pixels contained in a field predetermined [on the screen of said display means] boil said selection-signal generation means, respectively, and corresponds. The memory which memorizes the image select data showing any of two or more of said video signals are chosen about each of two or more of said pixels, It is desirable to make it include a control signal supply means to supply the select data read-out control signal for reading said image select data from said memory as said image selection signal to said memory.

[0008] If it carries out like this, since the image select data memorized beforehand will be read to memory as an image selection signal, an image selection signal is easily generable.

[0009] Said control signal supply means may be a transfer way transmitted to said memory by making one of said two or more read-out control signals into said select data read-out control signal.

[0010] Since a select data read-out control signal is generated by the memory control means, the circuit of the dedication for generating a select data read-out control signal becomes unnecessary, and circuitry becomes easy.

[0011] You may make it said display means contain the D-A converter which changes into an analog video signal the digital video signal chosen with said selection means according to the clock signal chosen with said selection means.

[0012] If it carries out like this, since the clock signal which was suitable for each video signal, respectively will perform D-A conversion, an image can be expressed as good image quality.

[0013] You may make it said image control signal generating means include a means to generate the 1st signal which has the 1st period equivalent to the scan period of the one scanning line on the screen of said display means. Moreover, said memory control means is based on said 1st signal given from said image control signal generating means, and is $N1$ of said 1st period. The 1st PLL circuit which generates the 1st clock signal which has a twice ($N1$ is an integer) as many period as this, A level address-generation means to generate the level address of the 1st image memory which is one of said two or more of the image memory, By adding a perpendicular address-generation means to generate the perpendicular address of said 1st image memory, and said level address and said perpendicular address While the adder which generates the address given to said 1st image memory is included, you may make it said level address-generation means include the renewal means of the level address to which said level address is made to increase according to the pulse of said 1st clock signal.

[0014] Integer $N1$ set as the 1st PLL circuit If a value is changed, variable power of the image can be carried out horizontally.

[0015] While a graphic display device connects the processor in which arithmetic logical operation is still more possible, said processor, and said two or more image memory It has the bus which connects said processor and said memory control section. Said processor Said integer $N1$ in said 1st PLL circuit By changing a value, it is desirable that it is made to carry out variable power of the 1st image displayed on said display means by the 1st video signal read from said 1st image memory horizontally.

[0016] If it carries out like this, it will be an integer $N1$ by the processor. Variable power of the image can be horizontally carried out by changing a setup.

[0017] You may make it said image control signal generating means include a means to generate the 2nd signal which has the 2nd period equivalent to the scan period for one screen of said display means. Moreover, said 1st memory control means is further based on said 1st signal given from said image control signal generating means. A means to generate the 1st renewal signal of the scanning line which shows the timing equivalent to the termination of the scanning line about the 1st video signal read from said 1st image memory, It is based on either of said 1st and 2nd signals, and is $N2$ of said 2nd period. The 2nd PLL circuit which generates the 2nd renewal signal of the scanning line which has a twice ($N2$ is an integer) as many period as this is included. Said level address-generation means includes a means to reset said level address to predetermined initial value according to one pulse of said 1st renewal signal of the scanning line. Said perpendicular address-generation means Said pulse number of the 2nd renewal signal of the scanning line given according to one pulse of said 1st renewal signal of the scanning line between the two newest pulses of said 1st renewal signal of the scanning line, You may make it include a renewal means of the perpendicular address to update said perpendicular address, by adding the perpendicular address increment equivalent to the result of having carried out the multiplication of the difference of the address equivalent to a predetermined number in said display means of scanning lines to said perpendicular address.

[0018] Integer $N2$ set as the 2nd PLL circuit If a value is changed, variable power of the image can be carried out perpendicularly.

[0019] Said processor is said integer $N2$ in said 2nd PLL circuit. It may be made to carry out variable power of the 1st image displayed on said display means perpendicularly by changing a value with the 1st video signal read from said 1st image memory.

[0020] If it carries out like this, it will be an integer $N2$ by the processor. Variable power of the image can be perpendicularly carried out by changing a setup.

[0021]

[Example] Below, explanation is performed for the following sequence.

A. equipment whole configuration and actuation: — the configuration of B. image control signal generating section, and : of operation — the configuration of C. storage control section and the image storage section, and : of operation — various kinds of set point: at the time of enlarging or contracting of D. image — the configuration of E. animation write control section, and : of operation — the configuration of the F.3 port image storage section, and : of operation — G. modification: [0022] A. The whole equipment configuration and actuation : drawing 1 is the block diagram showing the configuration of a computer system equipped with the graphic display device as one example of this invention. The storage section 60, the image storage sections 61 and 62, and 3 port image storage section 63 are connected to the CPU bus 52 connected to CPU50. The control signal for reading a video signal serially is given to the three image storage sections 61, 62, and 63 from the storage control sections 71, 72, and 73, respectively. The 1st storage control section 71 supplies the still more nearly same control signal as the control signal given to the 1st image storage section 61 also to the storage section 60. This storage section 60 is the memory for memorizing the multiplexer signal MPX for choosing one of the video signals read from the three image storage sections 61–63. In addition, about the configuration and role of the four storage sections 60–63, it mentions later further.

[0023] The read-out port of 3 port image storage section 63 is connected to the 3rd storage control section 73, and the 1st write-in port is connected to the CPU bus 52, and the 2nd write-in port is connected to the animation write control section 74, respectively. As for the animation write control section 74, the image data of an animation are given, respectively from video-signal separation / digitization control section 76 and the animation data decompression section 78. video-signal separation / digitization control section 76 — a television tuner and a video play — since — while dividing the composite video signal given into a synchronizing signal and a component signal (an RGB code or YUV signal), a component signal is changed into a digital signal and the animation write control section 74 is supplied. On the other hand, the animation data decompression section 78 elongates the compression image data contained by CD-ROM, a hard disk, a magneto-optic disk, etc., and supplies it to the animation write control section 74. The animation write control section 74 writes the image data of the supplied animation in 3 port image storage section 63. In addition, about the internal configuration of the animation write control section 74, and actuation, it mentions later further.

[0024] This computer system is further equipped with the image control signal generating section 80, the video-signal change-over section 82, the clock signal change-over section 84, the D-A conversion section 86, the amplifier 88, and the color monitor 90. The image control signal generating section 80 generates the image control signals [1-HPIE / VPIE and / 3] 1–3 for directing the timing of read-out of a video signal, and supplies them to the three storage control sections 71–73. one of the video signals 01-RGB 03 with which the video-signal change-over section 82 was read from the three image storage sections 61–63 — it chooses and the D-A conversion section 86 is supplied. Moreover, the clock signal change-over section 84 chooses one of the clock signals 1-CLK 3 outputted from the three storage control sections 71–73, and supplies it to the D-A conversion section 86 as a synchronizing signal of D-A conversion. The multiplexer signal MPX given to the video-signal change-over section 82 and the clock signal change-over section 84 is given from the storage section 60.

[0025] The D-A conversion section 86 changes into analog signals AR, AG, and AB digital signal RGB0 which is 24 bits to which 8 bits was assigned for every color of RGB. These analog signals AR, AG, and AB are amplified in an amplifier 88, respectively, and are given to a color monitor 90. In addition, Vertical Synchronizing signal VSYNC and Horizontal Synchronizing signal HSYNC of a color monitor 90 are given from the image control signal generating section 80.

[0026] Drawing 2 is the explanatory view showing the relation between the room of the four storage sections 60–63, and a screen display. The size of each storage section is the vertical number Wv of Rhine. Several Whs horizontal pixel The number of bits Nb assigned to each pixel A definition can be given. The storage section 60 supports the screen of 1600 pixel x1200 line, and has a depth of 2 bits.

The multiplexer data memorized by the storage section 60 are given to the video-signal change-over section 82 and the clock signal change-over section 84 as a multiplexer signal MPX. Therefore, the depth of the storage section 60 is set as the number of bits which can identify mutually the maximum number of the image storage section which can be carried in this computer system. Since the three image storage sections are prepared in the example of drawing 1, the storage section 60 is good in a depth of 2 bits.

[0027] As shown in drawing 2 (B), the 1st image storage section 61 supports the screen of 1600 pixel x1200 line, and has a depth of 24 bits. The image data memorized by the image storage section 61 are full color natural image data. In addition, three memory with a depth of 8 bits may be used as the image storage section 61.

[0028] It carries out [each other / corresponding to the screen of the magnitude with same storage section 60 and 1st image storage section 61], is, and has room. The storage control section 71 (drawing 1) supplies the same read-out signal as the storage section 60 and the image storage section 61, and the multiplexer signal MPX and video signal RGB 01 equivalent to the same display position are read from the storage section 60 and the image storage section 61, respectively.

[0029] The 2nd image storage section 62 supports the screen of 640 pixel x400 line, and has a depth of 24 bits. Moreover, 3 port image storage section 63 supports the screen of 800 pixel x600 line, and has a depth of 24 bits. In addition, the three image storage sections 61-63 may support the screen of the same magnitude. Each of the storage control sections 71-73 reads video signals 01-RGB 3 from the image storage sections 61-63 according to the read-out enabling signals [1-HPIE / VPIE and / 3] 1-3 given from the image control signal generating section 80, respectively.

[0030] Drawing 3 (A) is the explanatory view showing the address map about three OS's using the three image storage sections. The three image storage sections are managed by three different OS's (multi-OS, OS1, OS2), respectively. Multi-OS has the function which switches management of a system to other OS's temporarily. Moreover, each OS has the memory area of the image storage sections 61-63, respectively. ** of drawing 3 (A) - ** show the procedure of a change of OS. First, if the directions which require the change to OS1 from multi-OS are inputted from a keyboard 40 or a mouse 42, the directions will be given to multi-OS from BIOS (procedure **), and multi-OS will switch management of a system to OS1 (procedure **). OS1 switches management of a system to multi-OS again, after performing directed processing and completing processing (procedure **). And the image memorized by each image storage sections 61-63 is displayed on a color monitor 90 through BIOS (procedure **).

[0031] Drawing 3 (B) is the top view showing the condition that the image of each image storage sections 61-63 was displayed on the color monitor 90. In addition, it is also possible to manage the two image storage sections by one OS, without using two or more OS's. For example, the same OS is able to manage the three image storage sections 61-63.

[0032] Drawing 4 is the explanatory view showing relation with a screen display in the read-out enabling signals [1-HPIE / VPIE and / 3] 1-3 and color monitor 90 which are outputted from the image control signal generating section 80. The viewing areas W01, W02, and W03 of three images displayed on the color monitor 90 according to three video signals RGB01-RGB03 read from the three image storage sections 61-61, respectively are shown in the upper left of drawing 4.

[0033] The signal wave form on X1-X2 line is shown in the lower part of drawing 4, and the wave of the horizontal component HMPX of Horizontal Synchronizing signal HSYNC, the horizontal read-out enabling signals 1-HPIE 3 given to the three storage control sections 71-73 from the image control signal generating section 80, respectively, and the multiplexer signal read from the storage section 60 is shown in it. On the other hand, the signal wave form on Y1-Y2 line is shown in the right-hand side of drawing 4, and the wave of the vertical component VMPX of Vertical Synchronizing signal VSYNC, the perpendicular read-out enabling signals 1-VPIE 3 given to the three storage control sections 71-73 from the image control signal generating section 80, respectively, and the multiplexer signal read from the storage section 60 is shown in it.

[0034] The horizontal read-out enabling signal HPIE1 given to the 1st image storage section 61 is maintained at H level in the viewing area to the left end location A of a color monitor 90 – the right end location F. Moreover, the perpendicular read-out enabling signal VPIE1 is also maintained at H level in all the fields of the perpendicular direction of a screen. Consequently, the 1st video signal RGB 01 is read from the 1st image storage section 61 in the period these read-out enabling signals HPIE1 and VPIE1 of whose are all H level. Similarly, the 2nd video signal RGB 02 is read from the 2nd image storage section 62 in the period whose read-out enabling signals HPIE2 and VPIE2 are all H level, and the 3rd video signal RGB 03 is read from the 3rd image storage section 63 in the period whose read-out enabling signals HPIE3 and VPIE3 are all H level.

[0035] The video-signal change-over section 82 chooses and outputs one of the three video signals 01–RGB 3 according to the multiplexer signal MPX outputted from the storage section 60. Like the 1st video signal RGB 01, although the multiplexer signal MPX is a signal which shows the value of the multiplexer data in each pixel according to the scan of a color monitor 90, by drawing 4 , it separates into change of the horizontal component HMPX after [expedient] illustrating, and change of a vertical component VMPX, and it is drawn. In other words, the actual multiplexer signal MPX is a signal with which the same signal as a horizontal component HMPX is continuing in order of the scanning line.

[0036] On the X1–X2 line of drawing 4 , the value of the horizontal component HMPX of the multiplexer signal MPX is changing in order of 1, 2, 3, and 1, and video signals RGB01, RGB02, RGB03, and RGB01 are chosen according to this, respectively.

[0037] In addition, according to size, a location, etc. of each image field which were specified on the screen of a color monitor 90, CPU50 determines the multiplexer data memorized by the storage section 60. That is, if an operator specifies the 2nd, the size of the 3rd viewing area W02 and W03, a location, and vertical relation using a keyboard or a mouse, according to this assignment, CPU50 will generate multiplexer data and will write in the storage section 60. In addition, the image displayed on the 1st viewing area W01 is a fundamental image, and this viewing area W01 is being fixed to predetermined magnitude.

[0038] in case the image of different size as shown in drawing 2 (B), (C), and (D) is displayed, it usually comes out that a mutually different synchronizing signal (a Horizontal Synchronizing signal and Vertical Synchronizing signal) for which was resembled, respectively and it was suitable is used. Therefore, it is usually impossible to display in piles the video signal read from each image storage sections 61–63 on the same screen. So, in this computer system, as shown in drawing 1 , the clock signals CLK1, CLK2, and CLK3 which synchronize with the video signal read from each image storage sections 61–63, respectively are given to the clock signal change-over section 84 from the storage control sections 71, 72, and 73, and the clock signal change-over section 84 chooses one of the clock signals of these according to the multiplexer signal MPX read from the storage section 60, and supplies it to the D–A conversion section 86. Therefore, the D–A conversion section 86 can perform D–A conversion according to the clock signal which synchronized with the video signal outputted from the video-signal change-over section 82. Thus, since D–A conversion of the video-signal read from each image storage sections 61–63 is carried out by the clock signals CLK1, CLK2, and CLK3 which synchronized with each, the analog video signals AR, AG, and AB outputted from the D–A conversion section 86 turn into a signal which reproduces an image faithfully.

[0039] As mentioned above, according to this computer system, since an image is displayed for one of the video signals 01–RGB 3 read from the three image storage sections 61–63 with a change in the video-signal change-over section 82, CPU50 does not need to perform processing which transmits image data among the image storage sections 61–63, and where two or more images are piled up, it can display on a high speed. Under the present circumstances, since D–A conversion is performed according to the clock signal corresponding to each video signal, two or more images corresponding to a different screen size are faithfully reproducible.

[0040] moreover, since the room of the storage section 60 and the image storage section 61 supports

the same screen size, it can set on the screen of a color monitor 90 — each — there is an advantage that the multiplexer data memorized in the storage section 60 can be easily set up according to assignment of the size of image field W01-3, a location, and vertical-related.

[0041] In addition, when OS which manages the three image storage sections 61-63 is a multi-window system, each OS is able to display two or more windows in piles in each image fields W01 and W02 and W03.

[0042] B. The configuration and actuation of the image control signal generating section : drawing 5 is the block diagram showing the internal configuration of the image control signal generating section 80. Moreover, the timing chart drawing 6 indicates horizontal actuation of the image control signal generating section 80 to be, and drawing 7 are timing charts which show vertical actuation. As shown in drawing 5 , the image control signal generating section 80 generates Horizontal Synchronizing signal HSYNC supplied to a color monitor 90 and Vertical Synchronizing signal VSYNC, and the level read-out enabling signal HPIE supplied to the three storage control sections 71-73, respectively and the perpendicular read-out enabling signal VPIE. The image control signal generating section 80 is equipped with the following component.

[0043] DPLL section 100: Generate the dot clock signal DTCLK for synchronizing each part in the image control signal generating section 80.

[0044] Horizontal-synchronization period counter 111: Based on the dot clock signal DTCLK, as shown in drawing 6 (a), generate the signal H1 which serves as L level in the horizontal synchronization period HS. Here, Horizontal Synchronizing signal HSYNC is the period maintained at L level in the horizontal synchronization period HS. In addition, the output signal H1 of a counter 111 is outputted to the exterior of the image control signal generating section 80 as Horizontal Synchronizing signal HSYNC as it is so that drawing 5 may show. In other words, a counter 111 is a circuit which creates Horizontal Synchronizing signal HSYNC. The data in which the die length of the period when a signal H1 serves as L level is shown are written in the register which is not illustrated in the horizontal synchronization period counter 111 from CPU50 through the CPU bus 52. In addition, the die length of a period is expressed with the pulse number of the dot clock signal DTCLK. It is common to each counter explained below that the die length of a period is set up by CPU50. Once a signal H1 starts on H level, it will be maintained at H level until the horizontal synchronization period counter 111 is reset by the reset signal H5 given from the level reset counter 115 mentioned later.

[0045] Level back-porch period counter 112: It is reset by the reset signal H5, fall to L level, and generate the signal H2 (drawing 6 (b)) which starts on H level at the telophase of the level back porch period HB. Here, the level back porch period HB is a period of the ** term of the standup of Horizontal Synchronizing signal HSYNC to the image shelf-life HE.

[0046] Level image shelf-life counter 113: It is reset by the reset signal H5, fall to L level, and generate the signal H3 (drawing 6 (c)) which starts on H level at the telophase of the level image shelf-life HE.

[0047] By the way, as shown in drawing 5 , the signal H2 and the reversal signal of a signal H3 are inputted into the AND gate 116. The output signal HYENB of the AND gate 116 is a signal which serves as H level in the level image shelf-life HE, as shown in drawing 6 (h). Below, Signal HYENB is called a "horizontal effective enable signal." Horizontal effective enable signal HYENB is able to display an effective image on a color monitor 90 only in the period of H level. In addition, the level image shelf-life HE is a period equivalent to the 1st image field W01 which is to a base, and is a period equivalent to all the range of the image field W01 shown in drawing 4 (the range of a location A - a location F).

[0048] Level front-porch period counter 114: Fall to L level according to a reset signal H5, and generate the signal H4 (drawing 6 (d)) which starts on H level at the telophase of the level front porch period HF. Here, the level front porch period HF is a period of the ** term of the telophase of the level image shelf-life HE to the level reset period HR (period for one clock of the dot clock signal DTCLK).

[0049] Level reset period counter 115: Generate the reset signal H5 (drawing 6 (e)) which resets the above-mentioned counters 111-114. A signal H5 is a signal which falls to L level in the standup of the

next dot clock signal DTCLK of Ushiro to whom the output signal H4 of the level front porch period counter 114 started, and starts again after 1 clock. As mentioned above, counters 111–114 are reset by falling of a signal H5, and signals H1–H4 fall to L level.

[0050] As mentioned above, while Horizontal Synchronizing signal HSYNC is generated by work of counters 111–115; each horizontal period is specified.

[0051] The image control signal generating section 80 has the counters 121–125 corresponding to each counters 111–115 mentioned above as a counter which specifies a vertical period, respectively. Everything but making Horizontal Synchronizing signal HSYNC (= H1) into clocked into instead of the dot clock signal DTCLK of the counters 121–125 which specify a vertical period is the same as that of the counters 111–115 which specify a horizontal period. You can understand this, if the wave of the signals H1–H5 which show the wave of the output signals V1–V5 of the counters 121–125 shown in drawing 7 (a) – (e) to drawing 6 (a) – (e) is compared. However, CPU50 differs from the die length of the period set as each of the horizontal counters 111–114, and the die length of the period set as each of the vertical counters 121–124.

[0052] Moreover, corresponding to the AND gate 116 which creates level effective enable signal HYENB, the AND gate 126 which creates perpendicular effective enable signal VYENB (drawing 7 (h)) is also formed.

[0053] The image control signal generating section 80 is equipped with three enabling-signal generation circuits 131–133 for creating further the read-out enabling signals HPIE and VPIE given to the three storage control sections 71–73, respectively. Each of the enabling-signal generation circuits 131–133 is equipped with the following component.

[0054] Level display initiation period counter 134: Reset is canceled in the standup of level effective enable signal HYENB (drawing 6 (h)), the signal H6 (drawing 6 (i)) which starts on H level at the ** term of a level viewing-area period is generated, and it is again reset in falling of level effective enable signal HYENB. Here, a level viewing-area period means the period when an image is displayed on a color monitor 90 according to the image data memorized by the image storage section. In drawing 4 , the level viewing-area period of the image field W01 is a period of a location A – a location F, and the period of a location B – a location D and the level viewing-area period of the image field W03 of the level viewing-area period of the image field W02 are periods of a location C – a location E.

[0055] Level viewing-area period counter 135: Reset is canceled in the standup of level effective enable signal HYENB, the signal H7 (drawing 6 (j)) which starts on H level at the telophase of a level viewing-area period is generated, and it is again reset in falling of level effective enable signal HYENB.

[0056] AND gate 136: Generate the horizontal read-out enabling signal HPIE (drawing 6 (k)) by taking the AND of a signal H6 and the reversal signal of a signal H7.

[0057] The enabling-signal generation circuits 131–133 are further equipped with the two above-mentioned counters 134,135 related horizontally, two counters 137,138 respectively corresponding to the AND gate 136, and AND gates 139 about the perpendicular direction. From the AND gate 139, the perpendicular read-out enabling signal VPIE (drawing 7 (k)) is outputted. In addition, to the counter 134,135 related horizontally making the dot clock signal DTCLK clocked into, and making horizontal effective enable signal HYENB into reset input, the counter 137,138 about a perpendicular direction makes clocked into Horizontal Synchronizing signal HSYNC (= H1), and makes perpendicular effective enable signal VYENB reset input.

[0058] The image control signal generating section 80 is equipped with a number equal to the number of the image storage sections 61–63 of enabling-signal generation circuits 131–133. Namely, the group (HPIE1, VPIE1) of each read-out enabling signal shown in drawing 4 , (HPIE2, VPIE2), and (HPIE3, VPIE3) are generated by the enabling-signal generation circuits 131–133 corresponding to each image storage sections 61–63, respectively.

[0059] In addition, the pulse number specified to each period by CPU50 is set to the counter 134,135,137,138 in the enabling-signal generation circuit 131–133. According to the size, the location,

and vertical relation of each image fields W01-W03 (drawing 4) which the operator specified on the screen of a color monitor 90, CPU50 determines these pulse numbers.

[0060] As explained above, the image control signal generating section 80 generates Horizontal Synchronizing signal HSYNC, Vertical Synchronizing signal VSYNC, and the read-out enabling signals HPIE and VPIE 1-3 [1-] 3 which are shown in drawing 4 . As shown in drawing 1 , Horizontal Synchronizing signal HSYNC and Vertical Synchronizing signal VSYNC are supplied to a color monitor 90, and the enabling signals [1-VPIE / HPIE and / 3] 1-3 are supplied to the storage control sections 71-73.

[0061] C. The configuration and actuation of the storage control section and the image storage section : here, explain the configuration and actuation of the storage control sections 71 and 72 and the image storage sections 61 and 62. About the configuration and actuation of 3 port storage control section 73 and 3 port image storage section 63, it mentions later.

[0062] Drawing 8 is the block diagram showing the internal configuration of the storage control section 71. Moreover, drawing 9 is a timing chart which shows actuation of the storage control section 71. The storage control section 71 is equipped with the H-PLL section 141, the V-PLL section 142, the three waveform-shaping sections 143-145, NAND gates 146, inverters 147, and address-generation circuits 148.

[0063] The H-PLL section 141 is N_h of the frequency of the horizontal read-out enabling signal HPIE. It is the PLL circuit which generates the clock signal CLK (drawing 9 (h)) which has a twice as many frequency as this. Here, it is N_h . It is the number of pixels equivalent to one period of the horizontal read-out enabling signal HPIE. This number N_h of pixels Several W_h s horizontal pixel of the image storage sections 61-63 shown in drawing 2 (B), (C), and (D) It can be set as a different value. CPU50 is N_h of the H-PLL section 141. By changing a value, it is N_h . W_h According to relation, an image can be expanded horizontally or it can reduce. About the zooming function of such an image, it mentions later further. In addition, in the H-PLL section 141, the phase of a clock signal CLK is locked synchronizing with the leading edge of the horizontal read-out enabling signal HPIE.

[0064] The V-PLL section 142 is N_v of the frequency of the perpendicular read-out enabling signal VPIE. It is the PLL circuit which generates the signal VCLK (drawing 9 (b)), which has a twice as many frequency as this. Here, it is N_v . It is the number of Rhine equivalent to one period of the perpendicular read-out enabling signal VPIE. This number N_v of Rhine The number W_v of Rhine of the image storage sections 61-63 shown in drawing 2 (B), (C), and (D) It can be set as a different value and is N_v . W_v According to relation, zooming of the image can be carried out perpendicularly.

[0065] Drawing 10 is the block diagram showing the internal configuration of the waveform-shaping section 143,144,145. Each waveform-shaping section consists of two D flip-flops 151,152 and the AND gates 153. The clock signal CLK generated in the H-PLL section 141 is inputted into the clock input terminal of two D flip-flops 151,152. The input signal to the waveform-shaping section is given to D input terminal of 1st D flip-flop 151. The output of 1st D flip-flop 151 is given to the 2nd D input terminal and AND gate 153 of D flip-flop 152. The reversal output of the 2nd flip-flop 152 is further given to the AND gate 153.

[0066] Drawing 11 is a timing chart which shows actuation of the waveform-shaping section. The input signals of the three waveform-shaping sections 143-145 shown in drawing 8 are VPIE, HPIE, and \overline{VCLK} , respectively. Here, the notation $\overline{\quad}$ attached before VCLK shows that Signal VCLK is a signal reversed with the inverter 147. After the input signal VPIE to the waveform-shaping section 143,144,145, \overline{VCLK} , and HPIE start so that drawing 11 may show, each output signal VCLR, INC, and HCLR starts on H level in falling of the 1st clock signal CLK, and an output signal falls to L level by the 2nd negative going edge.

[0067] As shown in drawing 8 , the clock signal CLK generated in the H-PLL section 141 is given in common to the clock input terminal of the three waveform-shaping sections 143-145. Perpendicular reset-signal VCLR generated in the 1st waveform-shaping section 143 is a signal which change of one pulse generates whenever the display for one screen of an image field is completed.

[0068] Level reset-signal HCLR generated in the 2nd waveform-shaping section 144 is a signal which change of one pulse generates whenever the display of scanning-line 1 duty is completed.

[0069] The perpendicular increment signal INC generated in the 3rd waveform-shaping section 145 is a signal which change of one pulse generates whenever read-out of the image data of scanning-line 1 duty is completed. In addition, level reset-signal HCLR and the perpendicular increment signal INC are later mentioned about this, although it has an important role in case zooming of the perpendicular direction of an image is performed.

[0070] NAND gate 146 (drawing 8) takes the output Q151 (drawing 10) of 1st D flip-flop 151 of the 2nd waveform-shaping section 144, and an AND with the perpendicular enabling signal VPIE, and generates the lead enable signal RE.

[0071] In addition, the output signals VCLR and HCLR of the 1st storage control section 61, and INC, RE and CLK are given common to the image storage section 61 and the storage section 60.

[0072] The three storage control sections 71-73 shown in drawing 1 have the same configuration shown in drawing 8 , respectively. However, the number Nh of pixels set as the H-PLL section 141 A value and the number Nv of Rhine set as the V-PLL section 142 A value changes mutually with each storage control sections. This is explained in full detail in explanation of enlarging-or-contracting processing of an image.

[0073] Drawing 12 is the block diagram showing the internal configuration of the two image storage sections 61. The image storage section 61 has random read-out / write control section 160, the serial read-out control section 161, and memory 162. The same of this configuration is said of the storage sections 60 and 62.

[0074] The input of random read-out / write control section 160 is as follows.

The address / data shared bus of the ADBUS:CPU bus 52.

AHLRW: The signal which shows selection of the high order/low order of the address, and selection of data read-out / data store.

AEN: A thing **** signal with an effective address bus.

DEN: The signal which shows that a data bus is effective.

[0075] The output of random read-out / write control section 160 is as follows.

RADDRS: Random address.

RDATA: Random data.

RWR: A random write-in signal.

RRD: Random read-out signal.

[0076] The I/O of the serial read-out control section 161 is as follows.

ADBUS: Address bus.

ADSEL: The address selection signal which chooses one of the 4 ** addresses.

AEN: The address valid signal which shows that an address bus ADBUS is effective.

VCLR: The perpendicular reset signal which change of one pulse generates whenever the display of one batch of an image field is completed.

INC: The perpendicular increment signal which change of one pulse generates whenever read-out of the image data of scanning-line 1 duty is completed.

HCLR: The level reset-signal which change of one pulse generates whenever the display of scanning-line 1 duty is completed.

CLK: Clock signal.

RE: Lead enable signal.

SADDRS: Serial address.

SRD: Serial read-out enabling signal

[0077] Drawing 13 is the block diagram showing the internal configuration of the memory 162 shown in drawing 12 . Memory 162 is equipped with the memory cell array 165, a selector 166, and two 3 State buffer sections 167,168. A selector 166 connects one side of the random address RADDRS and the

serial address SADDRS to the address input terminal of the memory cell array 165 according to the random write-in signal RWR. From the output terminal of the memory cell array 165, the random data RDATA are outputted through 1st 3 State buffer section 167. The random read-out signal RRD is given to the control terminal of 1st 3 State buffer section 167. Further, the output of the memory cell array 165 is outputted as a video signal RGB 01 from 2nd 3 State buffer section 168, and is given to the video-signal change-over section 82 (drawing 1). The serial data read-out enabling signal SRD given from the serial read-out control section 161 is given to the control input terminal of 2nd 3 State buffer section 168. In addition, in order to display an animation on a high speed, it is desirable to use the memory cell array 165 which consisted of static RAMs.

[0078] Drawing 14 is the block diagram showing the internal configuration of the serial read-out control section 161 shown in drawing 12 . Moreover, drawing 15 is a timing chart which shows actuation of the serial read-out control section 161. The serial read-out control section 161 is equipped with four 8-bit address registers 171-174 and decoders 176, respectively. A decoder 176 decodes the 2-bit address selection signal ADSEL, and makes enabling state every four address registers [one] 171-174 one by one (drawing 15 (b)). Sequential maintenance of the address AH given from the address bus ADBUS, AL, BH, and the BL (drawing 15 (a)) is carried out at each register by the leading edge of the address valid signal AEN given to address registers 171-174.

[0079] Drawing 16 is the conceptual diagram showing the relation of the screen and the address corresponding to memory. Address AHAL is the address (it is hereafter called the "starting point address") which shows the reference point P_i at the upper left of the field displayed with image data. Moreover, Address BHBL is the increment (it is hereafter called the "addition address") of the address equivalent to the die length of the scanning line of a screen. In addition, in interlacing, the addition address BHBL serves as a value according to the rate of an interlace. For example, in interlacing 2:1, the addition address BHBL serves as address increment equivalent to one twice the die length of the scanning line.

[0080] Further, as a circuit which calculates the address according to a scan, the serial read-out control section 161 (drawing 14) is equipped with three adders 180,182,184, two latches 186,188, and level counters 190, and is equipped with the four AND gates 192,194,196,198. The adder 180,184 and the latch 186,188 constitute the circuit which computes the vertical address among these. Moreover, the level counter 190 constitutes the circuit which computes the horizontal address.

[0081] An adder 184 adds the 16-bit addition address BHBL held at two address registers 173,174, and the 1st latch's 186 output D186. The 1st latch 186 is reset by the leading edge of the output signal of the 1st AND gate 192, and holds the output Q184 of an adder 184 by the leading edge of the output signal of the 2nd AND gate 194. Since the 1st AND gate 192 has taken the AND of perpendicular reset-signal VCLR and a clock signal CLK, as it is shown in drawing 15 (j), the 1st latch 186 is reset by the leading edge of the clock signal CLK generated at the period when perpendicular reset-signal VCLR is maintained at H level. Moreover, since the 2nd AND gate 194 has taken the AND of the perpendicular increment signal INC and a clock signal CLK, the 1st latch 186 holds the output Q184 of an adder 184 by the leading edge of the clock signal CLK generated at the period when the perpendicular increment signal INC is maintained at H level.

[0082] Since the 1st latch's 186 output Q186 is fed back to the adder 184, whenever the 1st latch 186 holds new data (i.e., whenever the pulse of the perpendicular increment signal INC occurs), the output Q184 of an adder 184 increases only the addition address BHBL (drawing 15 (i)).

[0083] The 2nd latch 188 is reset by the leading edge of the output signal of the 1st AND gate 192, and holds the 1st latch's 186 output Q186 by the leading edge of the output signal of the 3rd AND gate 196. Since the 3rd AND gate 196 has taken the AND of level reset-signal HCLR and a clock signal CLK, as it is shown in drawing 15 (k), the 2nd latch 188 holds the 1st latch's 186 output Q186 by the leading edge of the clock signal CLK generated at the period when level reset-signal HCLR is maintained at H level.

[0084] The 1st adder 180 adds the starting point address AHAL held at the 2nd latch's 188 output Q188,

and two address registers 171,172. The output Q180 of the 1st adder 180 is equivalent to the vertical address.

[0085] The level counter 190 is reset by the leading edge of the output signal of the 3rd AND gate 196, and performs count-up by the leading edge of the output signal of the 4th AND gate 198. Since the 4th AND gate 198 has taken the AND of the reversal signal and clock signal CLK of the lead enable signal RE, as it is shown in drawing 15 (l), according to the leading edge of the clock signal CLK generated at the period when the lead enable signal RE is maintained at H level, the level counter 190 performs count-up. In addition, the counted value Q190 of the level counter 190 is equivalent to the horizontal address.

[0086] The 2nd adder 182 adds the output Q180 of the 1st adder 180, and the counted value of the level counter 190. The output Q182 of an adder 182 is equal to the result of having added the starting point address AHAL, latch's 188 output Q188 (drawing 15 (k)), and the counted value Q190 (drawing 15 (l)) of the level counter 190. The output 182 of this adder 182 is given to memory 162 as the serial address SADDRS. As shown in drawing 15 (m), after the serial address SADDRS becomes the value of the sum of the starting point address AHAL and the addition address BHBL, the increment of it is carried out one [at a time] synchronizing with the leading edge of a clock signal CLK. Therefore, the image data RGB 01 which contain a RGB component from memory 162 according to this serial address SADDRS are read serially.

[0087] The serial read-out control section 161 (drawing 14) is further equipped with D flip-flop 199. The lead enable signal RE is given to D input terminal of D flip-flop 199, and the clock signal CLK is given to the clock input terminal. The output of D flip-flop 199 is the serial data read-out enabling signal SRD (drawing 15 (o)). The serial data read-out enabling signal SRD falls to L level in falling of the next clock signal CLK of Ushiro from whom the lead enable signal RE fell to L level. As shown in drawing 13 , since the serial data read-out enabling signal SRD is given to the control terminal of 3 State buffer 168, only in the condition that Signal SRD fell to L level, the image data RGB 01 are read from memory 162. That is, as shown in drawing 15 (m) and (n), the value of Address SADDRS shows the location (pixel location [directly under] of the address origin/datum Pi shown in drawing 16 (A)) shown by (AHAL+BHBL), and read-out of image data is started from this location. Therefore, the image of the address reference point Pi is not displayed.

[0088] In addition, the clock signal CLK is created by the H-PLL section 141 (drawing 8), and the phase of the negative going edge of a clock signal CLK is locked by the leading edge of the horizontal read-out enabling signal HPIE (drawing 9). Generally, since the lock of the phase by the PLL circuit is not perfect, gap (jitter) of some may arise in the phase of a clock signal CLK. However, since serial read-out of image data is controlled by the leading edge of a clock signal CLK to be shown in drawing 15 , even if a jitter arises in a clock signal CLK, a problem does not arise in read-out of data.

[0089] Drawing 17 is a timing chart which shows actuation of the serial read-out control section 161 at the time of perpendicular direction expansion of an image. However, drawing 17 shows only change of the main signals related to renewal of the vertical address among the signals shown in drawing 15 . Whenever one pulse of perpendicular increment signals INC occurs, only BHBL increases the output Q184 of an adder 184. On the other hand, whenever one pulse of level reset-signal HCLR(s) occurs, only BHBL increases latch's 186 output Q186. At time of day t1, since the pulse of the perpendicular increment signal INC has not occurred among the two newest pulses of level reset-signal HCLR, the value of of latch 188 output Q188 is maintained as it is. Thus, period Tv of the perpendicular increment signal INC In being bigger than the period Tv0 of level reset-signal HCLR, latch's 188 output Q188 (namely, value of the perpendicular address) changes so that the case where the same value is repeated may be included, as shown in drawing 17 (f) . Level reset-signal HCLR(s) are Horizontal Synchronizing signal HSYNC given to a color monitor 90 and a signal which has the same frequency, and are signals generated one pulse whenever the scanning line on a screen is updated. If latch's 188 output Q188 changes as shown in drawing 17 (f) , as shown in drawing 16 (B) , the image on the same scanning line

memorized by memory will be repeatedly displayed in the screen of a color monitor 90, consequently an image will be expanded perpendicularly.

[0090] In addition, the scale factor of the perpendicular direction at the time of an image being displayed on a color monitor 90 is the period T_{v0} of level reset-signal HCLR, and the period T_v of the perpendicular increment signal INC. It is given by the ratio (T_v / T_{v0}) . Period T_v of the perpendicular increment signal INC The set point N_v of the V-PLL section 142 (drawing 8) It is adjusted by changing.

[0091] Drawing 18 is a timing chart which shows actuation of the serial read-out control section 161 at the time of perpendicular direction contraction of an image. At time of day t_2 , since two pulses of the perpendicular increment signal INC have occurred among the two newest pulses of level reset-signal HCLR, the address BHBL twice the value of addition is added to latch's 188 output Q188. Thus, period T_v of the perpendicular increment signal INC In being smaller than the period T_{v0} of level reset-signal HCLR, latch's 188 output Q188 changes like drawing 18 (f) so that some of values (the example of drawing 18 BHBLx 4) of an integral multiple may be skipped to the addition address BHBL. Consequently, as shown in drawing 16 (C), the image on the scanning line of what book memorized by memory is not displayed in the screen of a color monitor 90, but an image is reduced perpendicularly.

[0092] As shown in drawing 17 and drawing 18, the value with which the serial read-out control section 161 is equivalent to the result to which level reset-signal HCLR carried out the multiplication of the addition address BHBL to 1 pulse ***** and the pulse number of the perpendicular increment signal INC given between the two newest pulses of level reset-signal HCLR is added to latch's 188 output Q188 (namely, perpendicular address). Therefore, like [in the case of the time of day t_1 of drawing 17], when the pulse of the perpendicular increment signal INC has not generated one among the two newest pulses of level reset-signal HCLR, the perpendicular address Q188 is maintained at a value as it is. On the other hand, like the time of day t_2 of drawing 18, when two pulses of the perpendicular increment signal INC have occurred among the two newest pulses of level reset-signal HCLR, the address BHBL twice the value of addition is added to the perpendicular address Q188.

[0093] in addition, the scale factor in the case of also expanding the scale factor in the case of reducing an image perpendicularly — the same — the period T_{v0} of level reset-signal HCLR, and period T_v of the perpendicular increment signal INC It is given by the ratio (T_v / T_{v0}) .

[0094] D. Various kinds of set points at the time of enlarging or contracting of an image : it is possible to be able to carry out zooming of the image, and also to change the location and size of each image fields W01-W03 (drawing 4) in this computer system. In addition, zooming of an image is realized by work of the H-PLL section 141 of the storage control sections 71-73 (drawing 1, drawing 8), the V-PLL section 142, and the serial read-out control section 161 (drawing 14), and modification of the location of an image field or size is realized by work of the enabling-signal generation circuits 131-133 (drawing 5) corresponding to each image field.

[0095] Drawing 19 is the explanatory view showing the storage control section 71 (drawing 8) at the time of displaying only the image memorized by the 1st image storage section 61, and various kinds of set points of an enabling-signal generation circuit (drawing 5).

[0096] In drawing 19 (A), the horizontal period of the signal about the image field W01 is classified into the horizontal synchronization period HS, the level back porch period HB and the level image shelf-life HE, and the level front porch period HF and the level reset period HR, as explained also in drawing 6. The set point N_{h0} of the H-PLL section 141 (drawing 8) of the 1st storage control section 71 is equal to the total value $(HS+HB+HE+HF+HR)$ of the value which expressed these periods with the number of pixels. In addition, the level image shelf-life HE of the 1st image field W01 is 1600 pixels. One pulse of the clock signal CLK created in the H-PLL section 141 is equivalent to 1 pixel at the time of reading a video signal serially so that the timing chart of drawing 15 may also show. The frequency f_{h0} of this clock signal CLK is equal to the value which multiplied the frequency of the horizontal read-out enabling signal HPIE1 over the basic image field W01, i.e., the frequency of Horizontal Synchronizing signal HSYNC given to a color monitor 90 from the image control signal generating section 80, by the set point

Nh0 of the H-PLL section 141. In this example, it is 0= 100MHz of fh(s).

[0097] The set point Nv0 of the V-PLL section 142 of the 1st storage control section 71 is equal to the total value (VS+VB+VE+VF+VR) of the value which expressed the perpendicular back porch period VB, the perpendicular image shelf-life VE and the perpendicular front porch period VF, and the perpendicular reset period VR with the number of Rhine, respectively. [the vertical-synchronization period VS,] In addition, the perpendicular image shelf-life VE of the 1st image field W01 is 1200 lines. The frequency fv0 of the perpendicular increment signal INC generated in the V-PLL section 142 is equal to the value which multiplied the frequency of the perpendicular read-out enabling signal VPIE1 of the basic image field W01, i.e., the frequency of Vertical Synchronizing signal VSYNC given to a color monitor 90 from the image control signal generating section 80, by the set point Nv0 of the V-PLL section 142. In this example, it is 0= 80kHz of fv(s).

[0098] The set point of four counters 134,135,137,138 contained in the 1st enabling-signal generation circuit 131 (drawing 5) is used in order to specify the 1st location and size of the image field W01. The value of the set point Kh1 of the level display initiation period counter 134 and the set point Kv1 of the perpendicular display initiation period counter 137 is zero about the 1st image field W01 used as a base.

[0099] The set point Kh2 of the level viewing-area period counter 135 is a value which expressed the level image shelf-life HE with the pulse number of the dot clock signal DTCLK (drawing 5). As for the frequency of the dot clock signal DTCLK, it is desirable to be set as the same frequency (= 100MHz) as the horizontal clock signal CLK1 (drawing 8 , drawing 15) over the 1st image field W01 used as a base. When the frequency of the dot clock signal DTCLK and the frequency of a clock signal CLK1 are equal, the set point Kh2 of a counter 135 is equal to the number of pixels of the level image shelf-life HE (= 1600).

[0100] The set point Kv2 of the perpendicular viewing-area period counter 138 is a value which expressed the perpendicular image shelf-life VE with the pulse number of Horizontal Synchronizing signal HSYNC. Since the frequency of Horizontal Synchronizing signal HSYNC has the same frequency (= 80kHz) as the perpendicular increment signal INC1 (drawing 8 , drawing 15) over the basic image field W01 as mentioned above, the set point Kv2 of a counter 138 is equal to the number of Rhine of the perpendicular image shelf-life VE (= 1200).

[0101] Drawing 20 is the explanatory view showing various kinds of set points at the time of displaying the image memorized by the 2nd image storage section 61 into the 1st image field W01. In this example, zooming of the image memorized by the 2nd image storage section 62 is not carried out, and all of those screens are displayed.

[0102] In addition, although it is possible also about the image of the 1st image storage section 61 to perform zooming of an image and the location of an image field and to make a change of size, in this example, these processings shall not be performed about the image of the 1st image storage section 61. Therefore, the value which shows various kinds of set points over the image of the 1st image storage section 61 to drawing 19 is maintained.

[0103] About the image of the 2nd image storage section 62, while CPU50 computes various kinds of set points according to the following formulas 1, the computed value is set as each circuit.

[Equation 1]

$$N_h = \text{INT} (N_{h0} / M_h)$$

$$f_h = f_{h0} / M_h$$

$$N_v = \text{INT} (N_{v0} / M_v)$$

$$f_v = f_{v0} / M_v$$

$$K_{h1} = \Delta HST$$

$$K_{h2} = L_h$$

$$K_{v1} = \Delta VST$$

$$K_{v2} = L_v$$

Here, an operator "INT" shows the operation which omits the fraction part of the result of an operation in a parenthesis, and takes integer part. moreover, M_h The horizontal scale factor of an image, and M_v Zero O_1 which the scale factor of the perpendicular direction of an image, $**HST$, and $**VST$ have in the upper left of the effective image field of the basic image field W_01 from — endpoint O_2 at the upper left of the 2nd image field W_02 up to — offset of a horizontal direction and a perpendicular direction, and L_h L_v The width of face of the horizontal direction and perpendicular direction of the 2nd image field W_02 is shown, respectively.

[0104] When there is no zooming of an image about the image of the 2nd image storage section 62, they are a scale factor M_h and M_v . The set point N_h in the H-PLL section 141 of the 2nd storage control section 72 since both values are 1 The set point N_v in the V-PLL section 142 It is equal to these set points in the 1st storage control section 71. In the example of drawing 20, since all of the screens of the 2nd image field W_02 are displayed, the set point K_{h2} of the level viewing-area period counter 135 in the 2nd enabling-signal generation circuit 132 and the set point K_{v2} of the perpendicular viewing-area period counter 138 are set as 640 pixels which shows the maximum field of the 2nd image field W_02 , and 400 lines, respectively.

[0105] Drawing 21 is the explanatory view showing various kinds of set points in the case of displaying a part of the screen, without carrying out zooming of the image of the 2nd image storage section 62. Width of face L_h with the screen horizontal when displaying some screens Vertical width of face L_v Other set points which it is set as a counter 135,138, respectively and are shown in drawing 21 (B) are still standard values. In addition, in the example of drawing 21, the starting point address A_{HAL} is further set as $(640 \times 5 + 10)$. 640 is the number of pixels for the 1 scanning line, and is equivalent to the addition address B_{HBL} shown in drawing 16 (A). Therefore, the starting point address A_{HAL} in drawing 21 The value shows that the address reference point P_i (drawing 16 (A)) is set as 5th line the 10th pixel. The address origin/datum P_i is an origin/datum at the time of reading image data from image memory. Therefore, it is possible by changing the value of the starting point address A_{HAL} to read the image data memorized to the field of the arbitration in image memory.

[0106] Drawing 22 is the explanatory view showing various kinds of set points in the case of expanding the image of the 2nd image storage section 62 horizontally, and displaying all of the screens. In this case, the set point N_h of the H-PLL section 141 of the storage control section 72 It is the level scale factor M_h about that certified value N_{h0} . It is set as the broken value. Moreover, the set point K_{h2} of the level viewing-area period counter 135 of the enabling-signal generation circuit 132 is set as the value (= 960) which multiplied the certified value (= 640) by the level scale factor M_h ($960/640$).

[0107] In addition, level scale factor M_h A value can be inputted using a keyboard. Or it responds to actuation in which an operator changes the size of the 2nd image field W_02 using a mouse, and CPU50 is the level scale factor M_h . You may compute. In the case of the latter, it is the horizontal width of face L_h of the 2nd image field W_02 . It is the level scale factor M_h by breaking by standard width of face (it being 640 pixels about the 2nd image). It asks.

[0108] Horizontal scale factor M_h . Frequency f_h of the horizontal clock signal CLK_2 of modification, then the 2nd storage control section 72 It changes. Since it is equivalent to 1 pixel of the 2nd image field W_02 , one pulse of a clock signal CLK_2 is the level scale factor M_h . Modification changes the period of the clock signal CLK_2 equivalent to 1 pixel. As shown in drawing 15, this clock signal CLK_2 is used as a synchronous clock of read-out of the video signal from the image storage section 61, and is used also as synchronizing clock signal $DACLK$ of the D-A conversion section 86. That is, since the frequency of a clock signal CLK_2 also changes according to the frequency of the video signal read from the image storage section 62 when an image is expanded horizontally, an image can be expressed as good image quality by carrying out D-A conversion of the video signal synchronizing with this clock signal CLK_2 .

[0109] in addition, level scale factor M_h ***** — by setting up one or less value, it is also possible to reduce an image horizontally. It is related horizontally and is same in the actuation at the time of expansion, and the actuation at the time of contraction.

[0110] Drawing 23 is the explanatory view showing various kinds of set points in case the image in the 2nd image field W02 is expanded perpendicularly and all of the screens are displayed. The set point Nv of the V-PLL section 142 of the 2nd storage control section 72 is set as the value which broke the certified value Nv0 by the perpendicular scale factor Mv (= 600/400). Moreover, the set point Kv2 of the perpendicular viewing-area period counter 138 of the 2nd enabling-signal generation circuit 132 is the perpendicular scale factor Mv to the certified value (= 400). It is set as the value (= 600) by which it multiplied. In addition, perpendicular scale factor Mv Level scale factor Mh mentioned above It is set up by the setting approach and the same approach. When an image is expanded perpendicularly, according to the timing chart of above-mentioned drawing 17, the serial read-out control section 161 performs expansion actuation.

[0111] Drawing 24 is the explanatory view showing various kinds of set points in case the image of the 2nd image field W02 is reduced perpendicularly and all of the screens are displayed. It is the set point Nv of the V-PLL section 142 like [in vertical contraction] the case of expansion. It is set as the value which broke the certified value Nv0 by the perpendicular scale factor Mv (= 286/400). Moreover, the set point Kv2 of the perpendicular viewing-area period counter 138 is the perpendicular scale factor Mv to the certified value (= 400). It is set as the value (= 286) by which it multiplied. When an image is reduced perpendicularly, according to the timing chart of above-mentioned drawing 18, the serial read-out control section 161 performs contraction actuation.

[0112] As explained above, zooming of an image is realized by work of the H-PLL section 141, the V-PLL section 142 (drawing 8), and the serial read-out control section 161 (drawing 14), and modification of the location of an image field or size is realized by work of the enabling-signal generation circuits 131-133 (drawing 5).

[0113] In addition, although processing of zooming of the image about the image of the 2nd image storage section 62 and processing of modification of the size of the 2nd image field W02 were explained above, it is possible to perform processing with the same said of the image of other two image storage sections 61 and 63. Moreover, level scale factor Mh of an image Perpendicular scale factor MV of an image Offset **HST of an image field, **VST, the size Lh of an image field and LV (namely, Kh2, Kv2), and the starting point address AHAL can be set up independently, respectively.

[0114] E. The configuration and actuation of the animation write control section: drawing 25 is the block diagram showing the internal configuration of the animation write control section 74. The signal and component of the animation write control section 74 are equivalent to the component of the storage control section 71 shown in some the components and drawing 8 of the image control signal generating section 80 shown in drawing 5, as shown below.

[0115] The correspondence relation of the component of drawing 25 and drawing 5 is as follows:
 DRH-PLL section 200: DPLL section 100 perpendicular image starting position counter 201: counter 211: level back-porch period counter 112 level image field period Counter 212: perpendicular back porch period counter 122 perpendicular image field period counter 202: — perpendicular — an image shelf-life counter 123 AND-gate 203: AND-gate 126 level image starting position — Level image shelf-life counter 113 AND-gate 213: AND-gate 116 perpendicular write-in initiation counter 222: Perpendicular display initiation period counter 137 perpendicular write-in field counter 223: perpendicular viewing-area period counter 138 AND-gate 224: — an AND-gate 139 level write-in initiation counter 232: level display initiation period — counter 134 level write-in field counter 233: level viewing-area period counter 135 AND-gate 224: — the AND-gate 136

[0116] The correspondence relation of the component of drawing 25 and drawing 8 is as follows.

DV-PLL Section 221: 145 NAND-gate 244: NAND-gate [the V-PLL section 142 DH-PLL section 231: H-PLL section 141 waveform-shaping section 241 the 243: waveform-shaping section 143 -] 146 inverter 251: Inverter 147 [0117] The control clock change-over section 250 of drawing 25 is the circuit which is not in the circuit of drawing 5 and drawing 8. Moreover, although the animation write control section 74 has the same circuit as the address-generation circuit 148 shown in drawing 8, illustration is expedient-

upper-omitted in drawing 25 .

[0118] The animation write control section 74 controls the display period of an image synchronizing with Vertical Synchronizing signal DVSYNC, and Horizontal Synchronizing signal DHSYNC which are given from video-signal separation / digitization control section 76 (drawing 1). Drawing 26 and drawing 27 are ***** timing charts about actuation of the horizontal direction of the animation write control section 74, and a perpendicular direction. Since drawing 26 and drawing 27 support drawing 6 and drawing 7 which were mentioned above, respectively, they omit the explanation here.

[0119] The control clock change-over section 250 chooses 1st clock signal DRCLK which the DRH-PLL section 200 generates, when the level of the write enable signal WEO (this corresponds to the lead enable signal RE in drawing 8) is 1 (write inhibit), and when the level of the write enable signal WEO is 0 (write permission), it chooses 2nd clock signal DDCLK which the DH-PLL section 231 generates. One pulse of 1st clock signal DRCLK supports 1 pixel of the 1st fundamental image field W01. Moreover, one pulse of 2nd clock signal DDCLK is a signal which synchronizes with the video signal which supports 1 pixel at the time of carrying out zooming of the image horizontally, and is written in the image storage section 63. That is, the control clock change-over section 250 supplies 2nd clock signal DDCLK which synchronized with the video signal written in to the 3rd image storage section 63, when writing a video signal in the image storage section 63, and on the other hand, when not writing in a video signal, it supplies 1st clock signal DRCLK which synchronized with the fundamental image to the 3rd image storage section 63.

[0120] The animation write control section 74 generated various kinds of signals VCLW0, HCLW0, INC0, WEO, and CKL0 used for the writing of a video signal to the image storage section 63, and has given them to the image storage section 63. Since these signals correspond to the signals VCLR and HCLR in drawing 8 , and INC, RE and CLK, respectively, they omit explanation.

[0121] F. — the configuration of 3 port image storage section, and : of operation — drawing 28 is the block diagram showing the internal configuration of 3 port image storage section 63. 3 port image storage section 63 has the serial write control section 260, the random read-out / write control section 261, the serial read-out control section 262, and 3 port memory 263. Random read-out / write control section 261 has the same configuration as random read-out / write control section 160 shown in drawing 12 , and has the configuration as the serial read-out control section 161 with the same serial read-out control section 262.

[0122] Drawing 29 is the block diagram showing the internal configuration of 3 port memory 263. 3 port memory 263 is equipped with the memory cell array 165, two selectors 272,273, AND gates 274, and two 3 State buffer sections 275,276. It has the same function as the selector 166 shown in drawing 13 , and, as for the 1st selector 272, two 3 State buffers 275,276 also have the same function as 3 State buffer 167,168 of drawing 13 .

[0123] According to the random write-in signal RWR, the 2nd selector 273 chooses one side of the random data RDATA and serial data RGBI0, and supplies it to the memory cell array 271. The AND gate 274 enables the writing of the memory cell array 271, when at least one side of the serial data write-permission signal SWE0 given from the serial write control section 260 and the random write-in signal RWR given from random read-out / write control section 261 is L level.

[0124] Drawing 30 is the block diagram showing the internal configuration of the serial write control section 260. The components 281-284 of the serial write control section 260, and 286, 290, 292, 294, 296, 298, 300 and 302,304,306,308 are the same as each components 171-174 of the serial read-out control section 161 shown in drawing 14 , and 176, 180, 182, 184, 186, 188, 190 and 192,194,196,198 respectively. In the serial read-out control section 161, in the serial write control section 260, the reversal output of D flip-flop 309 is given to the AND gate 308 to the output of D flip-flop 199 being outputted as a serial data read-out enabling signal SRD as it is, and the difference between the serial read-out control section 161 and the serial write control section 260 is only the point that the output of the AND gate 308 is outputted as a write-permission signal SWE0.

[0125] Drawing 31 is a timing chart which shows actuation of the serial write control section 260. Since this actuation is almost the same as the actuation of the serial read-out control section 161 shown in drawing 15, explanation is omitted. It can write image data in the memory area of the arbitration of 3 port memory 263, the serial write control section 260 performing contraction of the perpendicular direction of an image, and horizontal zooming.

[0126] G. modification: — the range which this invention is not restricted to the above-mentioned example, and does not deviate from that summary in addition — setting — various voice — it is possible to set like and to carry out, for example, the following deformation is also possible.

[0127] (1) Instead of using a selector (multiplexer) as the video-signal change-over section 82 shown in drawing 1, as shown in drawing 32, video-signal change-over section 82a may be constituted using three 3 State buffers. In this case, what is necessary is to make only one of the three 3 State buffers into enabling state using the signal DMPX which decoded the multiplexer signal MPX.

[0128] (2) Instead of the V-PLL section 142 shown in drawing 8, as shown in drawing 33, the PLL circuit 148 and a counting-down circuit 149 may be used. It is the set point N_v of the V-PLL section 142 which the horizontal read-out enabling signal HPIE is inputted into the PLL circuit 148, and shows the set point N to drawing 8. It is equal to the value which multiplied by 1/of rates M of dividing of a counting-down circuit 149. Here, M is the total number of Rhine of one screen. Since the frequency is higher than the perpendicular read-out enabling signal VPIE inputted into the V-PLL section 142 shown in drawing 8, the horizontal read-out enabling signal HPIE inputted into the PLL circuit 148 can reduce the jitter of the output signal VCLK.

[0129] (3) Frequency f_h in which the clock signal CLK2 outputted from the 2nd storage control section 72 differs from the frequency f_{h0} of the basic clock signal CLK1 in carrying out zooming of the image read from the 2nd image storage section 62 horizontally, as shown in drawing 22 It has. This is the same also about the clock signal CLK3 outputted from the 3rd image storage section 63. However, if zooming of the image is not carried out horizontally, three clock signals CLK1-CLK3 have the equal frequency mutually. therefore, the video signal read from the 2nd and 3rd image storage section 62 and 63 in the 1st clock signal CLK1 when zooming of the image did not have to be carried out horizontally — use — things are made. In this case, what is necessary is to omit the clock signal change-over section 84 in the circuit of drawing 1, and just to supply the 1st clock signal CLK1 to the direct D-A conversion section 86.

[0130] (4) In the example of drawing 1, although the image was displayed on the color monitor 90 according to the analog video signal, the display which can display an image according to a digital video signal can also be used. In this case, what is necessary is to omit the D-A transducer 86 and an amplifier 88 and just to supply directly clock signal DACLK chosen in the digital video signal RGB 0 chosen in the video-signal change-over section 82, and the clock signal change-over section 84 to a digital graphic display device.

[0131] (5) The memory control means in the invention in this application is realized by the combination of the serial read-out control section (drawing 12, drawing 28) contained in the image storage sections 61-63, respectively, and the three storage control sections 71-73 (drawing 8). In addition, the read-out control section of the image storage sections 61-63 and the write control section may be prepared as a circuit in the memory chip which realizes the image storage sections 61-63, and you may make it prepare them in the same circuit as the storage control sections 71-73.

[0132] (6) The selection-signal output means in the invention in this application is realized by the storage section 60, and the multiplexer signal MPX (drawing 1) is equivalent to the image selection signal in the invention in this application. However, it is also possible to adopt various circuits other than storage section 60 as a means to output the multiplexer signal MPX. For example, it is also possible to adopt the circuit which memorizes the location of each four top-most vertices of three image fields W01-W03 shown in drawing 4, computes change-over location A-F for every scanning line based on these top-most-vertices locations, and generates the multiplexer signal MPX by this. Moreover,

multiplexer data are memorized in memory as run length data for every scanning line, and it is also possible to generate the multiplexer signal MPX based on this run length data. In these modifications, the amount of memory which multiplexer data take can be reduced.

[0133] (7) Although read-out of the multiplexer signal MPX is performed in the above-mentioned example by supplying various kinds of signals which the storage control section 71 generated also to the storage section 60, you may make it prepare the control section of storage section 60 dedication. However, if the signal which the storage control section 71 generated is also given to the storage section 60 like the above-mentioned example, there is an advantage that the component part of the whole circuit can be reduced.

[0134]

[Effect of the Invention] It is effective in the ability to display two or more images on two or more image memory in piles on one screen according to the image data memorized, respectively, without transmitting image data among two or more image memory according to invention indicated by claim 1, as explained above.

[0135] Moreover, since according to invention indicated by claim 2 the image select data is memorized in memory and this image select data is read as an image selection signal, it is effective in an image selection signal being easily generable.

[0136] According to invention indicated by claim 3, it is effective in the circuit of the dedication for generating a select data read-out control signal becoming unnecessary, and circuitry becoming easy.

[0137] Since the clock signal which was suitable for each video signal, respectively performs D-A conversion according to invention indicated by claim 4, it is effective in the ability to express an image as good image quality.

[0138] According to invention indicated by claim 5, it is effective in the ability to carry out variable power of the image horizontally by changing the value of the integer N1 set as the 1st PLL circuit.

[0139] According to invention indicated by claim 6, a processor is an integer N1. By changing a setup, it is effective in the ability to carry out variable power of the image horizontally.

[0140] According to invention indicated by claim 7, it is effective in the ability to carry out variable power of the image perpendicularly by changing the value of the integer N2 set as the 2nd PLL circuit.

[0141] According to invention indicated by claim 8, a processor is an integer N2. By changing a setup, it is effective in the ability to carry out variable power of the image perpendicularly.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of a computer system equipped with the graphic display device as one example of this invention.

[Drawing 2] The explanatory view showing the relation between the room of the storage sections 60-63, and a screen display.

- [Drawing 3]** The explanatory view showing the address map of OS using the three image storage sections.
- [Drawing 4]** The explanatory view showing relation with a screen display in the read-out enabling signals VPIE and HPIE and color monitor 90 which are outputted from the image control signal generating section 80.
- [Drawing 5]** The block diagram showing the internal configuration of the image control signal generating section 80.
- [Drawing 6]** The horizontal timing chart of the image control signal generating section 80.
- [Drawing 7]** The timing chart of the perpendicular direction of the image control signal generating section 80.
- [Drawing 8]** The block diagram showing the internal configuration of the storage control section 71.
- [Drawing 9]** The timing chart which shows actuation of the storage control section 71.
- [Drawing 10]** The block diagram showing the configuration of the waveform-shaping sections 143-145.
- [Drawing 11]** The timing chart which shows actuation of the waveform-shaping section.
- [Drawing 12]** The block diagram showing the internal configuration of the storage section 61.
- [Drawing 13]** The block diagram showing the internal configuration of memory 162.
- [Drawing 14]** The block diagram showing the internal configuration of the serial read-out control section 161.
- [Drawing 15]** The timing chart which shows actuation of the serial read-out control section 161.
- [Drawing 16]** The conceptual diagram showing the relation of the screen and the address corresponding to memory.
- [Drawing 17]** The timing chart which shows actuation of the serial read-out control section 161 at the time of perpendicular direction expansion of an image.
- [Drawing 18]** The timing chart which shows actuation of the serial read-out control section 161 at the time of perpendicular direction contraction of an image.
- [Drawing 19]** The explanatory view showing the storage control section 71 at the time of displaying only the 1st image, and various kinds of set points of the enabling-signal generation circuit 131.
- [Drawing 20]** The explanatory view showing various kinds of set points in case there is no zooming of the 2nd image and all of the screens are displayed.
- [Drawing 21]** The explanatory view showing various kinds of set points in case there is no zooming of the 2nd image and a part of the screen is displayed.
- [Drawing 22]** The explanatory view showing various kinds of set points in case the 2nd image is expanded horizontally and all of the screens are displayed.
- [Drawing 23]** The explanatory view showing various kinds of set points in case the 2nd image is expanded perpendicularly and all of the screens are displayed.
- [Drawing 24]** The explanatory view showing various kinds of set points in case the 2nd image is reduced perpendicularly and all of the screens are displayed.
- [Drawing 25]** The block diagram showing the internal configuration of the animation write control section 74.
- [Drawing 26]** The timing chart which shows horizontal actuation of the animation write control section 74.
- [Drawing 27]** The timing chart which shows actuation of the perpendicular direction of the animation write control section 74.
- [Drawing 28]** The block diagram showing the internal configuration of 3 port image storage section 63.
- [Drawing 29]** The block diagram showing the internal configuration of 3 port memory 263.
- [Drawing 30]** The block diagram showing the internal configuration of the serial write control section 260.
- [Drawing 31]** The timing chart which shows actuation of the serial write control section 260.
- [Drawing 32]** The block diagram showing other configurations of the video-signal change-over section.
- [Drawing 33]** The block diagram showing other configurations of the V-PLL section.

[Drawing 34] The explanatory view showing the display action in the conventional graphic display device.

[Description of Notations]

- 40 — Keyboard
- 42 — Mouse
- 50 — CPU
- 52 — CPU bus
- 60 — Storage section
- 61-63 — Image storage section
- 71-73 — Storage control section
- 74 — Animation write control section
- 76 — Video-signal separation / digitization control section
- 78 — Animation data decompression section
- 80 — Image control signal generating section
- 82 82a — Video-signal change-over section
- 84 — Clock signal change-over section
- 86 — D-A conversion section
- 88 — Amplifier
- 90 — Color monitor
- 100 — The DPLL section
- 111 — Horizontal synchronization period counter
- 112 — Level back porch period counter
- 113 — Level image shelf-life counter
- 114 — Level front porch period counter
- 115 — Level reset counter
- 116 — AND gate
- 121 — Vertical-synchronization period counter
- 122 — Perpendicular back porch period counter
- 123 — Perpendicular image shelf-life counter
- 124 — Perpendicular front porch period counter
- 125 — Perpendicular reset counter
- 126 — AND gate
- 131-133 — Enabling-signal generation circuit
- 134 — Level display initiation period counter
- 135 — Level viewing-area period counter
- 136 — AND gate
- 137 — Perpendicular display initiation period counter
- 138 — Perpendicular viewing-area period counter
- 139 — AND gate
- 141 — H-PLL section
- 142 — V-PLL section
- 143-145 — Waveform-shaping section
- 146 — NAND gate
- 147 — Inverter
- 148 — Address-generation circuit
- 151,152 — D flip-flop
- 153 — AND gate
- 160 — Random read-out / write control section
- 161 — Serial read-out control section
- 162 — Memory

165 — Memory cell array
166 — Selector
167,168 — 3 State buffer
171-174 — Address register
176 — Decoder
180,182,184 — Adder
186,188 — Latch
190 — Level counter
192,194,196,198 — AND gate
199 — D flip-flop
200 — DRH-PLL section
201 — Perpendicular image starting position counter
202 — Perpendicular image field period counter
203 — AND gate
211 — Level image starting position counter
212 — Level image field period counter
213 — AND gate
221 — DV-PLL section
222 — Perpendicular write-in initiation counter
223 — Perpendicular write-in field counter
224 — AND gate
231 — DH-PLL section
232 — Level write-in initiation counter
233 — Level write-in field counter
241-243 — Waveform-shaping section
244 — NAND gate
250 — Control clock change-over section
260 — Serial write control section
261 — Random read-out / write control section
262 — Serial read-out control section
271 — Memory cell array
272,273 — Selector
274 — AND gate
275,276 — 3 State buffer
320 — PLL circuit
321 — Counting-down circuit
AHAL — Starting point address
ADBUS — Address bus
ADSEL — Address selection signal
AEN — Address valid signal
AR, AG, AB — Analog video signal
BHBL — Addition address
CLK1-CLK3 — Clock signal
DACLK — Clock signal
DDCLK — Clock signal
DHSYNC — Horizontal Synchronizing signal
DRCLK — Clock signal
DTCLK — Dot clock signal
DVSYNC — Vertical Synchronizing signal

HB — Level back porch period
HCLR — Level reset signal
HE — Level image shelf-life
HF — Level front porch period
HPIE, HPIE1–HPIE3 — Perpendicular read-out enabling signal
HR — Level reset period
HS — Horizontal synchronization period
HSYNC — Horizontal Synchronizing signal
HYENB — Horizontal effective enable signal
INC — Perpendicular increment signal
Mh — Level scale factor
Mv — Perpendicular scale factor
MPX — Multiplexer signal
Pi — Address reference point
RADDRS — Random address
RDATA — Random data
RE — Lead enable signal
RGB 01–03, RGBI0 — Video signal
RRD — Random read-out signal
RWR — Random write-in signal
SADDRS — Serial address
SRD — Serial read-out enabling signal
SWE0 — Write-permission signal
VB — Perpendicular back porch period
VCLK — Clock signal
VCLR — Perpendicular reset signal
VE — Perpendicular image shelf-life
VF — Perpendicular front porch period
VPIE, VPIE1–VPIE3 — Horizontal read-out enabling signal
VR — Perpendicular reset period
VS — Vertical-synchronization period
VSYNC — Vertical Synchronizing signal
VYENB — Perpendicular effective enable signal
W01–W03 — Image field
WE0 — Write enable signal

[Translation done.]